



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA STROJNÍHO INŽENÝRSTVÍ

FACULTY OF MECHANICAL ENGINEERING

**ÚSTAV MECHANIKY TĚLES, MECHATRONIKY A
BIOMECHANIKY**

INSTITUTE OF SOLID MECHANICS, MECHATRONICS AND BIOMECHANICS

**NÁVRH KOMPLEXNÍHO HIL SIMULÁTORU PÁTÝCH
DVEŘÍ AUTOMOBILU**

DESIGN OF A COMPLEX HIL SIMULATOR OF CAR BOOT DOOR

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. Tomáš Obrtáč

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Tomáš Spáčil

BRNO 2019

Zadání diplomové práce

Ústav: Ústav mechaniky těles, mechatroniky a biomechaniky
Student: **Bc. Tomáš Obrtáč**
Studijní program: Aplikované vědy v inženýrství
Studijní obor: Mechatronika
Vedoucí práce: **Ing. Tomáš Spáčil**
Akademický rok: 2018/19

Ředitel ústavu Vám v souladu se zákonem č.111/1998 o vysokých školách a se Studijním a zkušebním řádem VUT v Brně určuje následující téma diplomové práce:

Návrh komplexního HIL simulátoru pátých dveří automobilu

Stručná charakteristika problematiky úkolu:

Zadání práce vychází z technické praxe a se současnou elektrifikací osobních automobilů nabývá dalšího významu. Při vývoji řídicích jednotek elektromechanických aktuátorů, jež jsou součástí palubní sítě automobilu je třeba testovat jejich integritu v rámci kompletního systému. Současným standardem je použití elektromechanických aktuátorů i v rámci testování integrity systému, kde jejich fyzické vlastnosti nejsou předmětem pozorování a jejich přítomnost je spíše na obtíž.

Práce si klade za cíl nahradit elektromechanický aktuátor elektronickým systémem, který bude vystihovat metodiku testování hardware-in-the-loop (HIL) pro signálovou i výkonovou část elektromechanického aktuátoru pátých dveří automobilu. Výkonová elektronika bude dimenzována pro simulaci DC motorů s výkonem do 150 W. Po úspěšné implementaci modelu konkrétního aktuátoru bude cílem navrhnout a otestovat simulaci DC motorů s rozdílnou velikostí odporu a indukčnosti vinutí. Při verifikaci navrženého řešení bude použit již dříve vyvinutý testovací stand Škoda. Ten se skládá z řídicích jednotek automobilu, které zajišťují základní funkcionalitu elektronického systému automobilu.

Cíle diplomové práce:

- 1) Rešeršní studia v oblasti HIL a PHIL simulací. Současně používané topologie a jejich praktické využití.
- 2) Identifikovat komunikaci mezi řídící jednotkou pátých dveří automobilu a jejími periferiemi tak, aby bylo možno provozovat řídící jednotku s testovacím standem Škoda.
- 3) Návrh, výroba a testování signálové a výkonové elektroniky části simulátoru. Předpokládá se, že výkonová část PHIL simulátoru bude realizována H můstkem, kde nosná frekvence řídícího PWM signálu bude alespoň 200kHz a rozlišení střídavy více jak 8 bitů.
- 4) Realizace řídících algoritmů HIL a PHIL na platformě National Instruments, přičemž PHIL model DC motoru bude realizován na FPGA. Přednostně se bude jednat o zařízení RIO, nebo PXI.
- 5) Otestování simulátoru s parametry konkrétního aktuátoru společně s testovacím standem Škoda tak, aby proběhla otevírací a zavírací sekvence pátých dveří bez hlášení chyby.
- 6) Zjistěte minimální hodnotu indukčnosti vinutí DC motoru, kterou je ještě možno simulovat. Tento fakt vysvětlete a navrhnete možná zlepšení.

Seznam doporučené literatury:

NELLES, Oliver. Nonlinear system identification: from classical approaches to neural networks and fuzzy models. New York: Springer, c2001. ISBN 3-540-67369-5.

LJUNG, Lennart. System identification: theory for the user. 2nd ed. Upper Saddle River, NJ: Prentice Hall PTR, c1999. ISBN 0136566952.

VALÁŠEK, Michael. Mechatronika. Dot. 1. vyd. Praha: České vysoké učení technické, 1996. ISBN 80-01-01276-X.

NOSKIEVIČ, Petr. Modelování a identifikace systémů. Ostrava: Montanex, 1999. ISBN 80-7225-0-0-2.

Termín odevzdání diplomové práce je stanoven časovým plánem akademického roku 2018/19

V Brně, dne

L. S.

prof. Ing. Jindřich Petruška, CSc.
ředitel ústavu

doc. Ing. Jaroslav Katolický, Ph.D.
děkan fakulty

Abstrakt

Táto diplomová práca sa zaoberá návrhom komplexného HIL simulátora piatych dverí automobilu. Začiatok práce sa venoval teoretickým rešeršiam v oblasti In-the-Loop testovania. Praktická časť popisovala vývoj HIL simulátora doplneného o výkonovú časť. Pre návrh a analýzu riadenia bolo využité simulačné prostredie Matlab/Simulink. Pred začatím práce bola zameraná signálová časť riadiacej jednotky a špecifické sekvencie signálov identifikované. Realizácia regulácie prebiehala na zariadení sbRIO od firmy National Instruments s implementáciou modelu na FPGA. Špecifické požiadavky na rýchlosť snímania a generovania komunikačných signálov viedli k vytvoreniu jedinečného hardvéru pre potreby aplikácie. Výsledkom práce je komplexný HIL simulátor s prehľadným GUI a možnosťou simulácie veľkej škály DC motorov.

Summary

This thesis covers the development of complex HIL simulator for the fifth car door. The beginning of the thesis is dedicated to theoretical research in the area of In-the-Loop testing. Practical part describes development of HIL simulator complemented by power electronics part. A simulation environment Matlab/Simulink was used for control design and analysis. Before the beginning of the work was measured signal part of control unit and specific signal sequences were identified. The control was applied on sbRIO device from National Instruments company with the implementation of a model on FPGA. Specific requirements for sensing speed and generation of communication signals lead to creation of unique hardware for application needs. The result of the thesis is complex HIL simulator with intuitive GUI and possibility of simulations a wide range of DC motors.

Kľúčové slová

HIL, PHIL, testovanie, DC motor, simulácie, simulácie výkonu, Matlab, Simulink, LabVIEW, National Instruments, FPGA, sbRIO, elektronika, piate dvere automobilu

Keywords

HIL, PHIL, testing, DC motor, simulations, power simulations, Matlab, Simulink, LabVIEW, National Instruments, FPGA, sbRIO, electronics, fifth car door

Bibliografická Citace

OBRTÁČ, T. *Návrh komplexního HIL simulátoru pátých dveří automobilu*. Brno: Vysoké učení technické v Brně, Fakulta strojního inženýrství, 2019. 86 s., Vedoucí diplomové práce: Ing. Tomáš Spáčil.

Prehlasujem, že som diplomovú prácu s názvom: „Návrh komplexního HIL simulátoru pátých dveří automobilu“ vypracoval samostatne, na základe konzultácií, uvedenej literatúry a doposiaľ získaných teoretických a praktických poznatkov.

Tomáš Obrtáč

Brno

.

Rád by som týmto poďakoval vedúcemu mojej diplomovej práce Ing. Tomášovi Spáčilovi za cenné rady a pozitívny prístup počas celého priebehu práce. Zároveň všetkým doktorantom v Mechlab-e za pomoc, priateľské prostredie a dodanie motivácie v správnom čase. Nakoniec by som chcel poďakovať rodičom za neustálu podporu, pochopenie a pomoc počas celého štúdia.

Tomáš Obrtáč

Obsah

1	Úvod	9
2	Rešerše	10
2.1	Motor s permanentnými magnetami	10
2.1.1	Konštrukcia DC motora	10
2.1.2	Princíp DC motora	11
2.1.3	Dynamický popis DC motora	11
2.2	Riadenie DC motora a metódy regulácie	12
2.2.1	Typy impulzných meničov	12
2.2.2	Spôsoby riadenia štvorkvadrantových impulzných meničov	13
2.2.3	Zvlnenie prúdu DC motora	14
2.2.4	Základné typy regulácií	15
2.3	Testovanie systémov s elektromechanickými súčastami	16
2.3.1	Vývojový cyklus	16
2.3.2	MIL - Model-in-the-Loop	17
2.3.3	SIL - Software-in-the-Loop	17
2.3.4	PIL - Procesor-in-the-Loop	18
2.3.5	HIL - Hardware-in-the-Loop	18
2.3.6	PHIL - Power Hardware-in-the-Loop	19
2.4	Dostupné HIL a PHIL riešenia	20
2.4.1	OPAL-RT	20
2.4.2	dSPACE	21
2.4.3	NI - National Instruments	22
2.5	Aplikácie PHIL pre indukčné rotačné stroje	23
2.5.1	Simulation of Inductive Loads	23
2.5.2	Power-Hardware-in-the-Loop Simulator for Brushless DC Motor	24
2.5.3	Návrh zařízení pro power HIL simulaci stejnosměrného motoru	25
2.5.4	Modelování a HIL simulace ovládání pátých dveří osobního automobilu	25
3	Ciele a problémy práce	26
4	Návrh riadenia	27
4.1	Model sústavy	27
4.2	Teoretická analýza riadenia	27
4.2.1	Simulácia DC motora s identickými parametrami	28
4.2.2	Simulácia DC motora s rozdielnými parametrami	28
4.3	Aplikácia riadenia na model sústavy	30
4.3.1	Generovanie napätia na H-moste	30
4.3.2	Simulácia riadenia na modele sústavy	30
4.3.3	Doplnenie riadenia o úbytok na H-moste	31

4.3.4	Doplnenie riadenia o PID regulátor	33
5	Komunikácia jednotky	34
5.1	Topológia riadiacej jednotky	34
5.2	Identifikácia signálovej časti	35
5.3	Meranie výkonovej časti	37
5.4	Kontrolné sekvencie	38
6	Hardvér	40
6.1	Výpočtová a ovládacia jednotka	40
6.2	Výkonový hardvér	41
6.2.1	H-most pre generovanie indukovaného napätia	41
6.2.2	Pohlčovač energie	42
6.2.3	Doska pre meranie elektrických veličín	43
6.2.4	Doska pre ovládanie signálov	45
6.3	Finálne zostavy	47
6.3.1	Zostava s externým H-mostom	47
6.3.2	Výsledná zostava pre PHIL simulácie	48
7	Softvér	50
7.1	Architektúra programu	50
7.2	Realizácia softvéru	51
7.2.1	FPGA program	51
7.2.2	RT program	54
7.2.3	Desktopová aplikácia	56
8	Výsledky PHIL simulácií	60
8.1	Simulácia záťaží s externou RJ	60
8.1.1	Zvlnenie prúdu pri RL článku	60
8.1.2	Zvlnenie prúdu pri DC motore	62
8.2	Možnosti simulácie indukčnej záťaže	64
8.3	Simulácie s HDSG jednotkou	65
8.3.1	Otváracia sekvencia	65
8.3.2	Zatváracia sekvencia	67
8.3.3	Porovnanie regulácií	69
9	Záver	71
	Literatúra	73
	Zoznam použitých skratiek	75
	Zoznam použitých symbolov	77
	Zoznam obrázkov	78
	Zoznam tabuliek	80
	Prílohy	81
A	Elektronické prílohy	81
B	Schémy a fotografie	81

1 Úvod

Vývoj komplexných zariadení sa v dnešnej dobe už málokedy zaobíde, bez nutnosti podrobného testovania funkcionality. Zvyšujúce sa nároky na množstvo dodatočných funkcií, ktoré by mali zariadenia obsahovať mimo svojich základných úkonov, sa negatívne podpisuje na zložitosti celého technického problému.

Vhodné testovanie elektromechanických prvkov nám umožňuje odhaliť veľké množstvo potenciálnych chýb, ktoré môžu nastávať počas vývoja komplexných zariadení. Chyby môžu vzniknúť zo snahy o ušetrenie finančných prostriedkov a následnom nedostatočnom dimenzovaní komponentov pre potreby aplikácie a častokrát môžu mať aj náhodný charakter, ktorý nie je možné odhaliť bez otestovania zariadenia na reálnej sústave.

Zložitosť komplexných systémov obsahujúcich viacero riadiacich jednotiek, obmedzuje aplikáciu konvenčných spôsobov testovania, pri ktorých je validovaná iba cielená jednotka, ale pre spoľahlivé overenie celej funkcionality je potrebné jej pripojenie k nadradenému/podradenému systému, kde je následne overovaná ako celok. Vo fáze skorého vývoja môže častokrát nastať situácia, že potrebný dodatočný hardvér ešte nie je k dispozícii alebo v neskorších etapách je možnosť situácie, že dodacia doba a cena testovaného zariadenia by sa v prípade jeho deštrukcie, mohla veľmi negatívne odraziť na dĺžke a finančnej náročnosti vývoja, alebo v horšom prípade na ľudskej bezpečnosti. Pre tieto prípady boli vytvorené testy v cykle (In-the-Loop).

Táto diplomová práca sa zaoberá tvorbou komplexného HIL simulátora (PHIL simulátora) pre piate dvere osobného automobilu. Jeho komplexnosť spočíva v možnom súčasnem simulovaní prúdového odberu a vytvárania požadovaných signálových sekvencií, ktorými ide plnohodnotne otestovať ovládaciu riadiacu jednotku.

Spracovanie tohto problému vyžaduje znalosti z viacerých vedných smerov, čo ho robí ideálnou prácou pre multidisciplinárny odbor Mechatroniky. Pri tvorbe sú využité znalosti z dynamiky a statiky (dynamický popis systému), elektroniky (návrh a výroba DPS), teórie riadenia (návrh a aplikácia vhodného riadenia) a programovania (tvorba softvéru).

Riešenie nadväzuje na dokončené diplomové práce, čím odpadá potreba parametrizácie piatich dverí a návrhu základného konceptu pre simulovanie prúdovej záťaže. Aj napriek dispozícii riešení, bolo potrebné pristúpiť k ich úprave a k adaptácii na riešený problém.

Cieľom práce je vytvoriť komplexný simulátor, schopný dostatočne presne simulovať prúdovú záťaž z hľadiska zvlnenia a strednej hodnoty. K tomu, aby tento dej nastal, musí byť dostatočne presne a spoľahlivo simulovaná signálová sekvencia, ktorej nedostatky by mohli byť odhalené riadiacou jednotkou, čím by bola zamedzená jej funkčnosť a teda aj možnosť testovania výkonovej časti. Celý problém je zložitejší o skutočnosť, že k cielennej riadiacej jednotke je len minimum voľne dostupných informácií, z ktorých by bolo možné čerpať.

Pre výpočet modelu sú používané zariadenia od firmy National Instruments s FPGA čipom a možnosťou Real-Time simulácie. Výpočtový model je optimalizovaný tak, aby mohol prebiehať na vysokých frekvenciách. Celý dej je ovládaný z nadradeného počítača za pomoci priehľadnej desktopovej aplikácie.

Vyvinuté zariadenie môže nájsť využitie či už pre konkrétnu aplikáciu, pre ktorú bolo vytvorené alebo zmenou výpočtu pre takmer akúkoľvek aplikáciu obsahujúcu potrebu presného simulovania indukčnej záťaže. Zariadenie spĺňa všetky požiadavky PHIL simulátora.

2 Rešerše

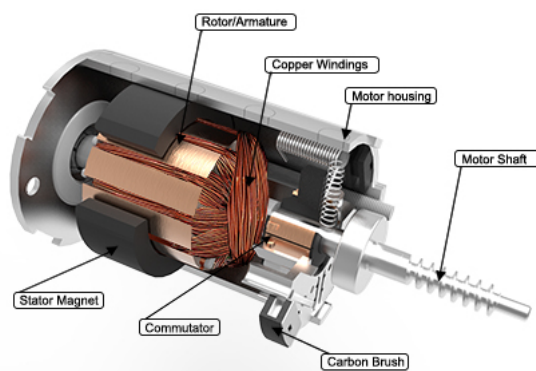
2.1 Motor s permanentnými magnetami

Najrozšírenejší elektromechanický prvok používaný v automobilovom priemysle pre premenu elektrickej energie na mechanickú je jednosmerný, takzvaný, DC motor s permanentnými magnetmi. Jeho výhody spočívajú v jednoduchej konštrukcii, nízkej cene, robustnosti konštrukcie a nekomplikovanom spôsobe regulácie, čo ho predurčuje ako prvú voľbu pre väčšinu aplikácií.

2.1.1 Konštrukcia DC motora

DC motor je rotačný elektrický stroj pozostávajúci z dvoch hlavných častí:

- Rotačná časť - Rotor
- Statická časť - Stator



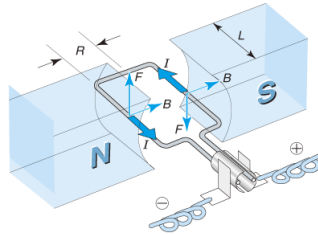
Obrázok 2.1: Konštrukcia DC motora [1]

Stator je tvorený pevným kovovým puzdrom, na ktorom sú upevnené magnety. Typ permanentných magnetov (SmCo, NdFeB, ferit) je volený podľa požiadaviek aplikácie. Menšie vyhotovenia nevyžadujú odmontovateľné ložiskové štíty, preto sú ako celok zalisované v puzdre, prípadne sa uvažuje s verziou iba s predným ložiskovým štítom.

Základ rotora tvorí otočná hriadeľ, uchytená v ložiskách. Na rotore je navinuté rotorové vinutie, vyhotovené zvyčajne z lakovanej medi. Rotorové vinutie je priamo spojené s komutátorom, ktorý pôsobí ako styčná plocha pre prenos elektrického prúdu a jeho usmernenie do vhodnej časti. Prúd je privedený pomocou zberačov (kefka, uhlík), pričom prítlačný element je zvyčajne vo forme pružiny.

2.1.2 Princíp DC motora

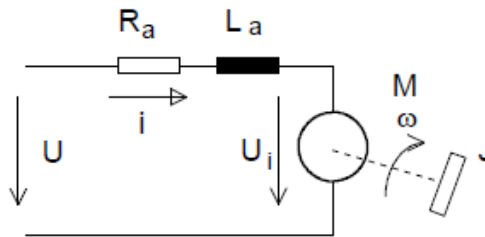
DC motor funguje na základoch elektromagnetizmu. Na vodič, ktorým tečie elektrický prúd po vložení do magnetického poľa pôsobí Lorentzová sila. Vodič vytvára elektromagnetické pole, ktorého reakcia s permanentným poľom uvádza rotor do pohybu. Veľkosť sily závisí na vzájomnom natočení polí. Pre maximalizáciu momentu je na rotore umiestnený komutátor, ktorý usmerňuje prúd vinutím do miesta v ktorom je jeho účinok najväčší [3].



Obrázok 2.2: Princíp DC motora [2]

2.1.3 Dynamický popis DC motora

Dynamický popis DC motora vychádza z obrázku 2.3.



Obrázok 2.3: Schéma DC motora [3]

Dynamika sa modeluje na dvoch úrovniach:

- Popis elektrickej časti
- Popis mechanickej časti

Elektrickú časť popisujú rovnice:

$$U(t) = R_a i(t) + L_a \cdot \frac{di(t)}{dt} + U_i(t) \quad (2.1)$$

$$U_i(t) = c\phi\omega(t) \quad (2.2)$$

Mechanické rovnice vychádzajú z rovností síl:

$$M(t) = J \cdot \frac{d\omega(t)}{dt} + M_z(t) \quad (2.3)$$

$$M(t) = c\phi i(t) \quad (2.4)$$

Rovnica 2.1 vychádza z elektrickej schémy uvedenej na obrázku 2.3. Napätie na lamelách komutátora sa označuje $U(t)$. $R_a = R_{\text{mot}}$ označuje odpor vinutia kotvy, $L_a = L_{\text{mot}}$ indukčnosť vinutia kotvy a $U_i = U_{\text{ind}}$ je indukované napätie, ktoré vzniká otáčaním rotora v magnetickom poli a jeho veľkosť vychádza z rovnice 2.2, pričom je priamo úmerné otáčkam motora. $c\phi$ je elektrická konštanta motora.

Mechanická rovnica 2.3 je odvodená z rovnováhy síl. Moment M je generovaný na kotve, J udáva moment zotrvačnosti rotora a M_z je súčet všetkých záťažných momentov pôsobiacich na rotor, ktoré môžu byť vytvárané trením ako aj silovým pôsobením voči otáčaniu. Rovnica 2.4 udáva veľkosť momentu vytvoreného na kotve motora, ktorý je priamo závislý od konštanty motora $c\phi$ a prúdu $i(t)$ prechádzajúceho vinutím.

Popis dynamiky by mohol byť rozšírený ešte o teplotné rovnice avšak pre účely tejto diplomovej práce je tento dej vďaka veľkej časovej konštante neopodstatnený a teda nebude zahrnutý ani v rešeršnej časti. Pri požiadavke na presný model by však z dlhodobého hľadiska nemal byť zanedbaný. [3]

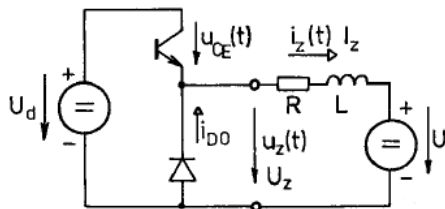
2.2 Riadenie DC motora a metódy regulácie

Používanie rotačných elektromechanických súčastí so sebou prináša aj nevýhodu v podobe nutnej regulácie. Od vhodného regulačného zásahu sa odvíja správne dynamické správanie celého systému. Riadenie DC motora je vo všeobecnosti považované za jednoduché, ale aj napriek tomu so sebou prináša mnoho technických problémov.

2.2.1 Typy impulzných meničov

V praxi sa používa rozdelenie impulzných meničov podľa počtu kvadrantov, v ktorých sú schopné operovať. Najčastejšie sa jedná o jednokvadrantové, dvojkvadrantové alebo štvorkvadrantové.

Jednokvadrantový impulzný menič pracujúci v I. kvadrante

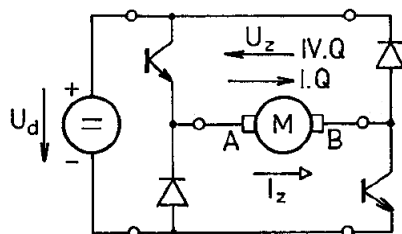


Obrázok 2.4: Jednokvadrantový impulzný menič [5]

Na obrázku 2.4 je zobrazený najjednoduchší typ meniča. Je realizovaný pomocou horného spínača, avšak podobnú funkciu by spĺňal aj v podobe dolného spínača. Takýto typ meniča slúži ako základný stavebný prvok zložitejších meničov. Stredná hodnota napätia sa pohybuje

v rozmedzí $U_z = \langle 0, U_d \rangle$ v závislosti na hodnote striedy. Tento typ meniča dokáže pracovať iba ako motor a teda nedokáže dodávať energiu naspäť do zdroja.

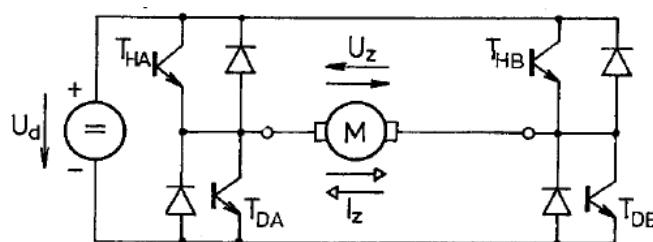
Dvojkvadrantový impulzný menič pracujúci v I. a IV. kvadrante



Obrázok 2.5: Dvojkvadrantový impulzný menič [5]

Ďalším typom je dvojkvadrantový menič. Obrázok 2.5 zobrazuje menič schopný pracovať v I. a IV. kvadrante, teda energiu zo siete odoberať a dodávať. Takýto menič má lepšie dynamické vlastnosti, avšak prúd záťažou má stále rovnaký smer. Pri odmyslení úbytkov na tranzistoroch a diódach sa napätie na záťaži môže pohybovať v rozmedzí $U_z = \langle -U_d, U_d \rangle$.

Štvorkvadrantový impulzný menič pracujúci vo všetkých kvadrantoch



Obrázok 2.6: Štvorkvadrantový impulzný menič [5]

Najrozšírenejším typom meniča používaným vo väčšine aplikácií je štvorkvadrantový menič. Ako je vidieť na obrázku 2.6, menič pozostáva zo štvorice tranzistorov a zo štvorice spätných diód. Takáto konfigurácia mu umožňuje dodávať a odoberať zo siete výkon. Správnym zopnutím tranzistorov je možné otočiť polaritu napätia a prúdu. Napätie na záťaži sa môže pohybovať v rozmedzí $U_z = \langle -U_d, U_d \rangle$, pričom medzi jednotlivými hodnotami je možné plynulo prechádzať.

2.2.2 Spôsoby riadenia štvorkvadrantových impulzných meničov

Pri riadení štvorkvadrantových meničov sa uplatňujú dva hlavné spôsoby.

- Unipolárne riadenie

– Bipolárne riadenie

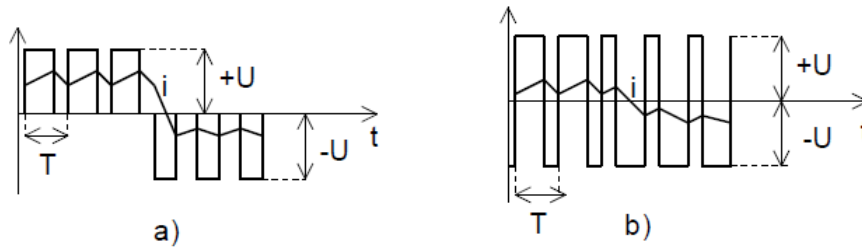
Unipolárne riadenie využíva striedavé zapínanie a vypínanie tranzistorov v uhlopriečke, pričom celkovo sú využívané iba dva zo štyroch. Pri potrebe zmeny polaroty napätia sa pristúpi k spínaniu tranzistorov na opačnej uhlopriečke. Unipolárnym sa nazýva z dôvodu privádzania napätia o rovnakej polarite. Stredná hodnota závisí na voľbe spínanej vetvy a zvolenej striede pričom nadobúda hodnoty podľa rovnice 2.5.

$$U_z = U_d s \quad (2.5)$$

$$s \in \langle 0, 1 \rangle \quad (2.6)$$

Bipolárne riadenie na rozdiel od unipolárneho využíva striedavé spínanie všetkých 4 tranzistorov v uhlopriečke. Na záťaž je striedavo privádzané napätie s opačnou polaritou pričom jeho stredná hodnota závisí na striede. Pre výpočet strednej hodnoty sa použije rovnica 2.5. Zmena však nastane pri striede, ktorá nadobúda hodnoty podľa rovnice 2.7.

$$s \in \langle -1, 1 \rangle \quad (2.7)$$



Obrázok 2.7: Rozdiely v riadení a) unipolárne b) bipolárne [4]

2.2.3 Zvlnenie prúdu DC motora

Pulzujúca hodnota napätia na výstupe meniča pre indukčnú záťaž vytvára nežiadúci efekt v podobe zvlnenia prúdu. Amplitúda zvlnenia závisí od veľkosti indukčnosti (koncentrátor energie), riadiacej frekvencie a amplitúdy vstupného napätia. Vo všeobecnosti je pre zmenšenie amplitúdy vhodné používať riadenie o vyššej frekvencii alebo motor s pomalšou elektrickou časovou konštantou. Hodnota zvlnenia prúdu je pre unipolárne riadenie uvedená v rovnici 2.8.

$$\Delta I = \frac{U_d}{2fL} (1 - s) s \quad (2.8)$$

Deriváciou rovnice 2.8 podľa striedy s a jej porovnaním s nulou, získavame, že maximálne zvlnenie nastáva pri $s = \frac{1}{2}$. Amplitúda zvlnenia má hodnotu podľa rovnice 2.9. [5]

$$\Delta I_{max} = \frac{U_d}{8fL} \quad (2.9)$$

2.2.4 Základné typy regulácií

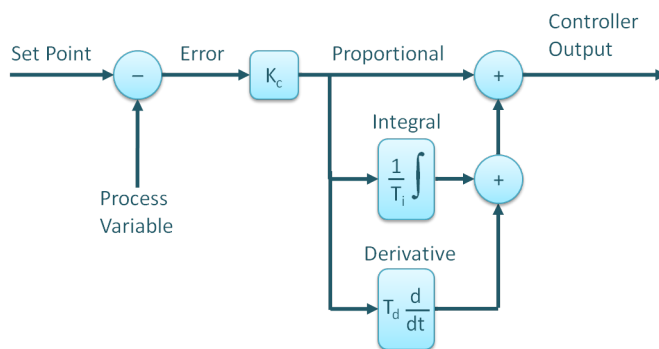
Vhodné správanie elektrických/elektromechanických sústav zaisťuje aplikácia správneho typu riadenia. Najrozšírenejším typom je regulácia so spätnou väzbou, od ktorej sa vyvíja zásah regulátora. Využívané sú aj regulácie s doprednou kompenzáciou.

PID regulátor

Proporcionálne-integrálno-derivačný regulátor sa zaraďuje v priemysle medzi najrozšírenejší typ. Jednoduché aplikovanie a výstupné vlastnosti ho robia postačujúcim riešením pre väčšinu aplikácií. Numerický regulátor pracuje v diskretnom režime so spätnou väzbou od regulovanej veličiny. Jeho princíp pozostáva z troch hlavných zložiek:

- Proporcionálna zložka **P**
- Integrálna zložka **I**
- Derivačná zložka **D**

Výstup z týchto zložiek je sčítaný a tvorí regulačný zásah. Regulátor je možné prevádzkovať aj bez použitia všetkých zložiek ako napríklad **PI** alebo **PD** regulátor. Matematický popis a princíp je možné nájsť v [4]. Obrázok 2.8 zobrazuje štrukturálny popis **PID** regulátora.



Obrázok 2.8: Štruktúra PID regulátora [6]

Feedforward regulátor

Existujú systémy, pri ktorých nie je známa hodnota akčnej veličiny. V týchto prípadoch sa uplatňuje regulácia bez spätnej väzby tzv. Feedforward regulácia. Prístup vyžaduje znalosť sústavy, na ktorej základe je vytváraný akčný zásah. Oproti **PID** regulátoru do vstupu nie je privádzaná chyba, ale žiadaná hodnota. Spôsob implementácie môže byť statický alebo dynamický (je zohľadnená dynamika systému). Častá je aplikácia Feedforward regulátora súčasne s **PID** regulátorom, kde sa dosahujú veľmi dobré výsledky.

Získ parametrov a tvorba presného fyzikálneho modelu znemožňujú častokrát použitie Feedforward regulácie. Zložitosť systému a jeho následná výpočetná náročnosť takisto komplikuje aplikáciu tejto formy riadenia pre zariadenia, kde sa kladie vysoký dôraz na cenu výrobku. Uplatnenie však nachádza tam, kde hrá veľkú úlohu dynamika systému, pričom použitie **PID** by mohlo viesť k jeho nestabilite alebo nevhodnému zásahu.



Obrázok 2.9: Štruktúra Feedforward regulátora

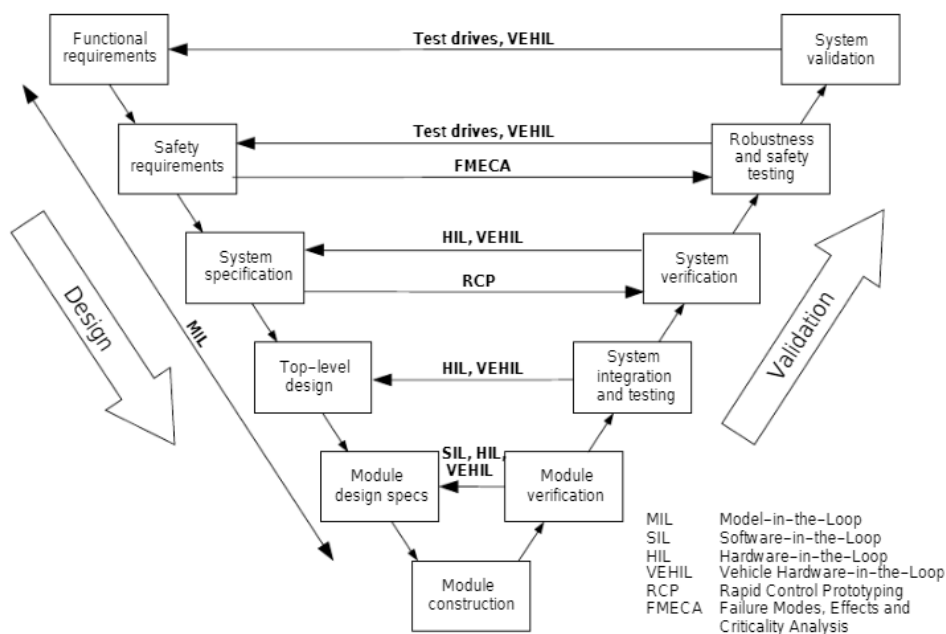
2.3 Testovanie systémov s elektromechanickými súčasťami

So zvyšujúcimi nárokmi na kvalitatívne vyhotovenie výrobkov a tlakom na neustále znižovanie ceny sa vytvára obrovský potenciál pre efektívnejšie testovanie systémov. Stále existuje veľký priestor pre implementáciu nových nápadov a pri vývoji sa kladie na fázu testovania čoraz väčší dôraz a prostriedky.

Väčšina komplexnejších systémov už nepracuje iba na čisto mechanickej báze, ale čoraz viac sú dopĺňované o elektromechanické prvky. Ovládanie, riadenie a interakcia s aktívnymi súčasťami je dosahovaná pomocou riadiacich jednotiek. Pre ich validáciu a overenie spoľahlivej funkcionality boli vyvinuté testy v uzavretom cykle (IL- In the loop). V nasledujúcej časti budú jednotlivé metódy popísané a vysvetlená ich zmysluplnosť.

2.3.1 Vývojový cyklus

Pri vývoji nových produktov je vhodné zvoliť postup a logické usporiadanie procesov tak, aby sa už dopredu zamedzilo veľkému množstvu nevynútených chýb. Logické rozloženie dielčích činností sa uvádza vo V - diagrame.



Obrázok 2.10: Zaužívaný V diagram pre automobilový priemysel [7]

Zaužívaný vývojový cyklus, ktorý zobrazuje štandard pri vývoji RJ pre väčšinu aplikácií v automobilovom priemysle je zobrazený na obrázku 2.10. Ľavá časť znázorňuje prístup pri dizajne, pravá strana je využívaná pri validácii produktu. Jednotlivé kroky nemusia byť presne dodržané a môžu sa líšiť.

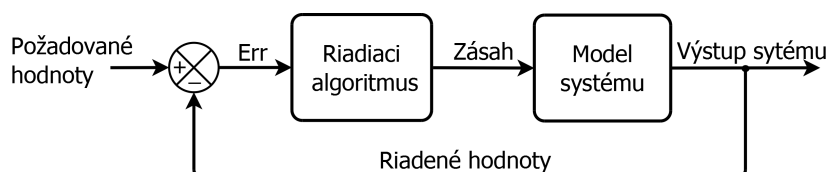
Začiatok diagramu tvorí presná špecifikácia funkčných a bezpečnostných požiadaviek. Ich detailné spracovanie má následne vplyv na celý vývoj. Definícia systémových požiadaviek zahŕňa predovšetkým podrobný opis funkcií systému. Nie vždy je to však možné vykonať s dostatočnou presnosťou, čo neraz vedie k nesplniteľným požiadavkám.

Po tom, čo sú zadefinované požiadavky, je možné pristúpiť k návrhu dizajnu (Top-level design), zahŕňajúc pritom architektúru systému. Celkový pohľad na design nám umožňuje jednoduchší náhľad na jeho podsystémy, čo neraz uľahčuje pochopenie funkcionality ako celku. Predchádzajúce časti nám uľahčujú posledné dva kroky pri dizajne a to sú špecifikácia modulu, pri ktorom nastáva už výber jednotlivých komponentov, ako napríklad (senzory, mikroprocesor, tranzistory...) a tvorba zariadenia ako celku, zahŕňajúc jeho softvérovú aj hardverovú časť.

Validácia produktu prebieha súčasne s jeho vývojom. Na obrázku 2.10 sú tieto metódy popísané vodorovnými šípkami. Hlavným výsledkom validácie by malo byť porovnanie očakávaných a reálnych výsledkov, teda či zariadenie spĺňa zadané špecifikácie. Jednotlivé výsledky sa vždy prejavujú v ďalšom kroku vývoja a celkový produkt môže byť modifikovaný ešte počas jeho návrhu. Každá implementácia požiadaviek sa vždy prejaví zvýšeným počtom krokov pri vývoji, čo má negatívny dopad na celkovú cenu a dobu realizácie produktu. Pre minimalizáciu opakovaní sú potrebné spoľahlivé metódy testovania, ktoré umožnia eliminovať riziko už v počiatočnom štádiu vývoja. [7]

2.3.2 MIL - Model-in-the-Loop

Pre počiatočné otestovanie myšlienky je vhodné používať prístup zvaný Model-in-the-loop. Na tejto úrovni prebieha všetko v rámci počítačovej simulácie a nie sú potrebné žiadne fyzické komponenty. Využitie nachádza hlavne pri testovaní riadiacich algoritmov, ako aj pre overenie fyzikálnej realizovateľnosti celého systému, preto nachádza využitie vo všetkých fázach vývojového cyklu.



Obrázok 2.11: Diagram MIL simulácie

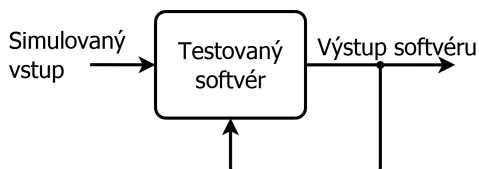
Nevýhodou tejto metódy je nutná dostatočne presná znalosť testovaného systému, ktorého parametre nie vždy bývajú voľne k dispozícii, alebo jeho nedostatočný fyzikálny popis. Nedokážeme teda s určitosťou povedať, či simulovaný výstup a výsledné správanie odpovedá realite. [8, 9]

2.3.3 SIL - Software-in-the-Loop

Počas vývoja systému môže nastať moment, v ktorom je potrebné otestovať časť kódu bez prítomnosti reálneho hardvéru. V tomto bode sa využíva Software-in-the-Loop. Systému sú

priamo zadávané predpokladané vstupy, pričom je sledovaný ich následný výstup. Vygenerovaný kód je stále testovaný na počítači a nie je implementovaný na finálne zariadenie, na ktorom bude v skutočnosti prevádzkovaný. [10]

Tento prístup sa využíva hlavne v konečných fázach vývoja, pri tvorbe softvéru pre RJ, ale je možné ho použiť už v počiatočnom štádiu, čo môže signifikantne urýchliť neskoršie časti implementácie.



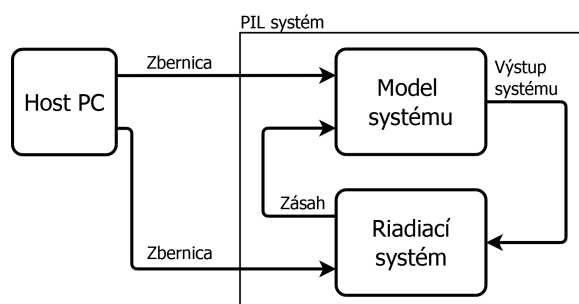
Obrázok 2.12: Diagram SIL simulácie

2.3.4 PIL - Procesor-in-the-Loop

Existujú prípady, v ktorých je dokázaná principiálna funkčnosť algoritmov, avšak je potrebné overiť ich funkcionálnosť na platforme, s ktorou budú operovať v reálnom prostredí. Procesor-in-the-Loop je spôsob testovania, ktorý definuje princíp validácie softvéru na finálnom zariadení. Skúmané vlastnosti sú: časovanie, kvalita regulácie a výpočetný výkon.

Pre vykonanie simulácie nie je potrebný reálny hardvér, ale úplne postačuje aj vývojové zariadenie s identickým procesorom ako bude na konečnom zariadení. Ako model systému je použitý počítač, ktorý komunikuje s procesorom po dopredu zvolenom komunikačnom protokole. Proces nemusí prebiehať v Real-Time a je ho možné prevádzkovať aj na offline úrovni. Parametre systému je možné meniť aj počas vykonávania testu. [10]

Uvedený prístup sa využíva v koncových fázach vývoja, zvlášť pri výbere používaných komponentov, kde je eliminované riziko výberu nedostatočného, alebo predimenzovaného hardvéru.



Obrázok 2.13: Diagram PIL simulácie

2.3.5 HIL - Hardware-in-the-Loop

Najrozšírenejší spôsob testovania RJ a embedded systémov funguje na princípe Hardware-in-the-Loop. Testovanie spočíva na Real Time interakciách s testovanou sústavou, pričom HIL simulátor zahŕňa dynamický popis systému aj modely senzorov a aktuátorov.

Uvedený prístup sa momentálne používa prioritne pri aplikáciách kde chyba riadenia môže

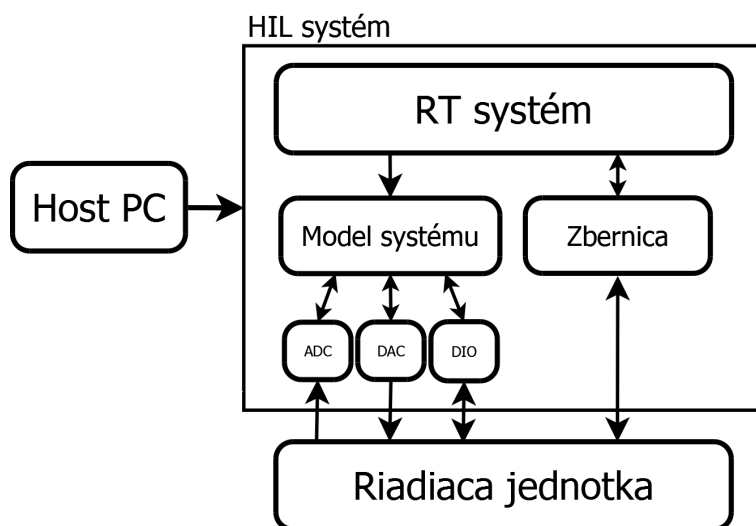
ohroziť ľudskú bezpečnosť, alebo hodnota testovaného zariadenia výrazne prevyšuje cenu výroby HIL simulátora. Náročné požiadavky na dobu vývoja zároveň vyžadujú testovať RJ v čase, keď reálny hardvér ešte nie je k dispozícii.

Pre spoľahlivé HIL testovanie je vyžadovaná simulácia v RT prostredí. Pre vysokú výpočtovú náročnosť simulovaného deja v RT je obvyklá implementácia modelu na platforme, ktorá obsahuje FPGA, čo zaručuje fixný simulačný krok, zlepšujúc tým determinizmus celého testu. Model systému slúži k správne generovaniu výstupov, ktoré prostredníctvom DAC, DIO a jednoduchých elektrických obvodov nahrádzajú feedback od reálnych súčastí. HIL simulátor môže prijímať vstup od RJ prostredníctvom ADC, DIO alebo vyššej komunikačnej zbernice (CAN, RS232, I2C...).

Veľká výhoda toho prístupu spočíva v jednoduchej opakovateľnosti a modifikácií celku, kedy nie je potrebné vykonávať fyzické úpravy pre zmenu správania systému. Zároveň je možné odsimulovať deje, ktoré by sa v reálnom prostredí simulovali len s veľkými ťažkosťami (napr. výpadok leteckého motora).

Medzi hlavné nevýhody môžeme zaradiť skutočnosť, že v reálnom prostredí môžu nastať prípady, ktoré sme netestovali. Zároveň HIL neumožňuje napodobniť odber a výmenu energie medzi simulovaným hardvérom a RJ.

HIL má svoje opodstatnenie tak v rannej ako v konečnej fáze vývoja, keďže sme schopní otestovať funkčnosť akčných členov bez rizika prípadného zničenia nákladnej vzorky. [11]



Obrázok 2.14: Diagram HIL simulácie

2.3.6 PHIL - Power Hardware-in-the-Loop

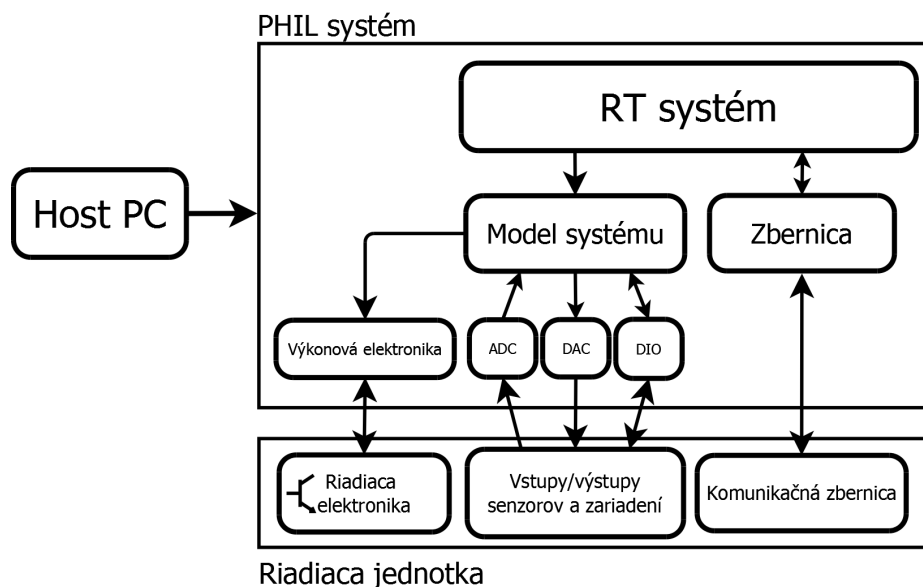
Najkomplexnejší systém pre testovanie RJ v čase vývoja bez nutnosti pripojenia reálneho hardvéru sa nazýva Power Hardware-in-the-Loop. Pri simulácii sa využíva reálna RJ, ktorej interakcia spočíva či už vo výmene riadiacich signálov, tak aj energie potrebnej pre akčný zásah.

Simulácie rovnako ako pri HIL bežia v RT prostredí, teda sú kladené vysoké výpočtové požiadavky. Pre dynamickú simuláciu deja je využívaný fyzikálny popis systému, na ktorého základe sú generované odpovedajúce výstupné signály. Okrem toho sa za pomoci výkonovej elektroniky generuje odber odpovedajúci simulovanej záťaži. Ideálny PHIL simulátor by mal

byť schopný energiu prijímať aj dodávať.

Simulovanie odpovedajúcej záťaže nám umožňuje komplexne otestovať zariadenie po signálovej aj po výkonnostnej stránke, čím predchádzame fatálnym chybám spôsobených nedostatočným dimenzovaním harvérových komponentov. Prístup zaručuje vysokú flexibilitu testov a ich skutočnú opakovateľnosť, čo v reálnom prostredí nie je možné vždy dosiahnuť.

PHIL nachádza svoje opodstatnenie vo finálnych častiach vývoja, kde absentuje prítomnosť reálneho hardvéru a je potrebné otestovať komplexnú funkčnosť RJ. [12]



Obrázok 2.15: Diagram PHIL simulácie

2.4 Dostupné HIL a PHIL riešenia

Neustále požiadavky na nové aplikácie, pri ktorých sa využíva testovanie na znalosti modelu umožňuje veľkému počtu firiem preniknúť na trh so svojimi riešeniami. Jedná sa o výrobky s vysokou pridanou hodnotou, ktorých know-how býva dobre strážené. Nasledujúca časť bude venovaná hotovým zariadeniam slúžiacim pre HIL a PHIL testy a ich technickým možnostiam.

2.4.1 OPAL-RT

Z portfólia firmy OPAL-RT je možné vydedukovať jej primárne zameranie na testy v oblasti RT simulácií. Od svojho založenia v roku 1997 v kanadskom Montreale uviedla na trh množstvo výrobkov predovšetkým na automatické testovanie. Jej produkty sú používané pre HIL testovanie v leteckom, automobilovom alebo medicínskom priemysle, ale aj pre PHIL testy v oblasti elektrických sietí, vozidiel a univerzitnom výskume. [13]

Poskytovanie riešení stojí na vlastnom rekonfigurovateľnom hardvéri. Na rozdiel od ostatných výrobcov, poskytovaný hardvér má menšie možnosti adaptácie medzi aplikáciami, pričom jeho zameranie je skôr určené pre špecifickú oblasť. Väčšina hardvéru podporuje však FPGA a viacvláknový prístup. Softvérové riešenia sú postavené na vlastnom softvéri, ktorý je kompatibilný s ostatnými platformami vhodnými pre RT (Simulink, NI). Vlastné programy-

(HYPERSIM, eMEGASIM, ePHASORSIM, eFPGASIM) sú zamerané predovšetkým pre simulácie výkonovej elektroniky a elektrických sietí.

OP4200

Jedná sa o najjednoduchší RT simulátor zo série OPAL-RT produktov. Umožňuje pripojenie štyroch kariet s rekonfigurovateľnými I/O portami, signálovými testermi, ADC/DAC a mnohými inými perifériami. Softvér môže byť prepojený s bežne dostupným softvérom ako Matlab/Simulink. Jadro programu pracuje na FPGA. Zariadenie je predovšetkým určené pre HIL testy a RCP. [14]

OP1300

Výkonový box poskytujúci riešenia pre HIL a PHIL simulácie. Stavebnicový systém umožňuje variabilitu pre použitie neštandardných komponentov. Systém sa skladá zo štyroch hlavných častí, určených pre rozdielnu časť testu. Základom je procesorová jednotka s FPGA pre RT simulácie kompatibilná s dostupnými softvérmi. Táto ďalej nadväzuje na výkonovú časť tvorenú šiestimi polmostovými modulmi s vysokým výkonom (800V/32A) a galvanickým oddelením ovládania. Pre RCP testy je pripojený kontrolér s I/O a ADC/DAC portami.[15]

HYPERSIM

HYPERSIM je softvér pre ovládanie a konfiguráciu všetkého hardvéru od OPAL-RT. Prostredie ponúka intuitívny dizajn a poskytuje možnosť rýchlo a spoľahlivo otestovať skúmanú topológiu. Importovanie modelov je možné prostredníctvom Simulink-u alebo defaultného prostredia. Rýchle deje sa kompilujú pre FPGA a užívateľské rozhranie je vykonávané na CPU. Softvér ponúka podstavby TESTVIEW a SCOPEVIEW pre automatické testovanie a analýzu výsledkov. [16]



Obrázok 2.16: OPAL-RT produkty [13]

2.4.2 dSPACE

Momentálne asi najväčší poskytovateľ služieb v oblasti In-the-Loop testovania bol založený v roku 1988 na Fakulte Mechatroniky Univerzity v Paderborne. Firma ponúka širokú škálu produktov pre testovanie v HIL aj PHIL oblasti. Riešenia sú využívané vo veľkom množstve oblastí ako napríklad letectvo, automobilový priemysel, vojenský priemysel, medicínske produkty alebo testovanie elektrických sietí. [17]

Riešenia stoja na vlastnom rekonfigurovateľnom hardvéru v spojení s komerčne dostupnými RT aplikáciami. Pre ovládanie hardvéru je možné používať prostredie Matlab/Simulink, čo výrazne urýchľuje čas vývoja. Druhou možnosťou je použitie softvéru od spoločnosti dSPACE

(Real-Time Interface, ConfigurationDesk). Hardvér je reprezentovaný SCLAEXIO laboratórnym boxom.

SCALEXIO

Základná stavebná jednotka dSPACE hardvéru je dostupná mnohých vyhotoveniach, ktoré sa od seba líšia možnosťou konfigurácie a vhodnosťou pre jednotlivé aplikácie.

SCALEXIO LabBox je najmenšia z nich, pričom vhodnosť jednotky je pre HIL testy a RCP. Jednotka podporuje SCALEXIO I/O karty, neumožňuje avšak aplikáciu pokročilejších HighFlex a MultiCompact kariet. Výhody tohoto vyhotovenia spočívajú hlavne vo veľkej adaptácii a výkone postačujúcom pre väčšinu požiadaviek.

SCALEXIO OFF-the-shelf ponúka konfigurovateľnú jednotku podporujúcu väčšinu dostupných kariet, ktoré sú softvérovo nastavovateľné, preto pri zmene projektu nie sú potrebné hardvérové zmeny. Tento systém prichádza s integrovanou SCALEXIO procesorovou jednotkou podporujúcou viacvláknové výpočty. Systém je vhodný pre RCP s HIL testy.

SCALEXIO Customized Rack System je najkomplexnejšou jednotkou, umožňujúcou použitie veľkého množstva aj neoriginálneho hardvéru. Jedná sa o stavebnicový policový systém vhodný pre všetky typy testov(HIL,PHIL....). [18]



Obrázok 2.17: SCALEXIO produkty [18]

2.4.3 NI - National Instruments

National Instrumenst je firma založená v roku 1976 v Texase. Produkty NI sú všeobecné známe a zameriavajú sa predovšetkým na meracie a riadiace aplikácie, čo im dáva vysokú koreláciu pre tvorbu produktov určených HIL a PHIL testovaniu.

Pre testy je používaný vlastný hardvér. Prioritne sa jedná o zariadenia obsahujúce FPGA modul. Najznámejšími predstaviteľmi sú jednotky PXI a cRIO. Všetky tieto zariadenia ponúkajú vysoký výpočtový výkon a mieru konfigurácie. Softvérová časť je riešená prostredníctvom vlastného programovacieho jazyka G, vyvinutého firmou NI. Implementácia prebieha prostredníctvom VeriStand-u. [20]

VeriStand

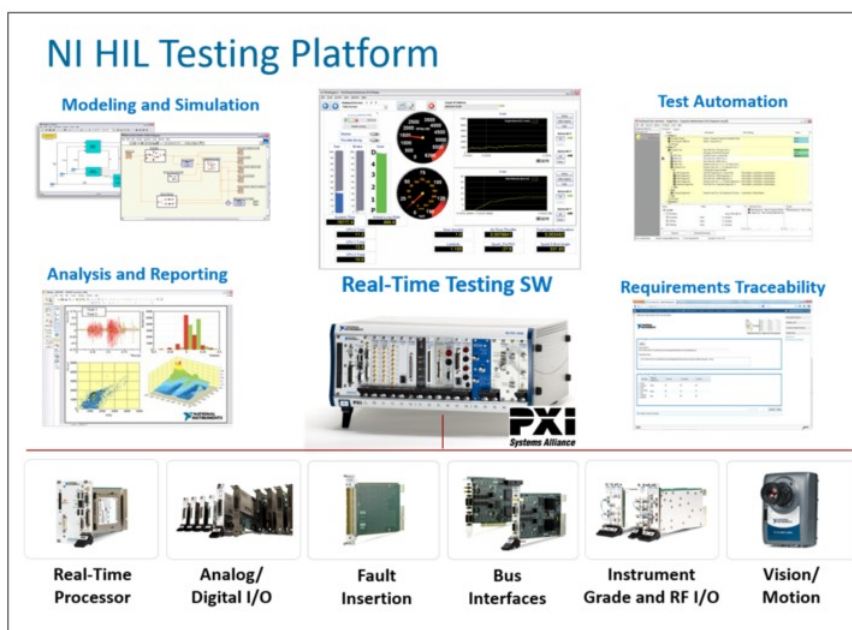
Veristand je softvérová platforma vyvinutá priamo pre HIL simulácie. Pre jej používanie je potrebná inštalácia na cielený hardvér. Umožňuje rýchlejšie vytváranie HIL testov, pričom so sebou prináša pokročilé funkcie ako tvorbu sekvencií alebo implementáciu simulačných modelov. Architektúra programu je vytvorená s ohľadom na paralelnú exekúciu. Grafické prostredie vykazuje rozdiely oproti typickému LabVIEW rozhraniu. [20]

cRIO

Najvýraznejšia vlastnosť, ktorú ponúka cRIO je jeho jednoduchá rekonfigurácia. Základné zloženie pozostáva z troch prvkov: Real-Time procesoru, FPGA procesoru a I/O modulov. Veľká miera konfigurácie umožňuje použiť zariadenie na ovládanie strojov ako aj HIL a PHIL testy. Programovanie RIO kontroleru prebieha prostredníctvom LabVIEW a je potrebné programovať jednotlivé úrovne zvlášť. I/O moduly ponúkajú hardvérové riešenia pre komunikáciu ako aj meranie dát alebo ovládanie elektromechanických súčastí. [20]

PXI

Pre aplikácie, kde je požadovaný vysoký výkon, je vyvinutý industriálny počítač PXI. Jeho ovládanie môže byť prostredníctvom externého zariadenia alebo vstavaného procesoru. Vysoká variabilita I/O modulov a kompatibilita s VeriStand-om umožňujú používanie tejto zostavy pre HIL a PHIL testy. Veľkou výhodou je možnosť používania I/O modulov tretích strán čím je možné dosiahnuť vhodnosť pre akékoľvek aplikácie. [20]



Obrázok 2.18: NI - HIL system [19]

2.5 Aplikácie PHIL pre indukčné rotačné stroje

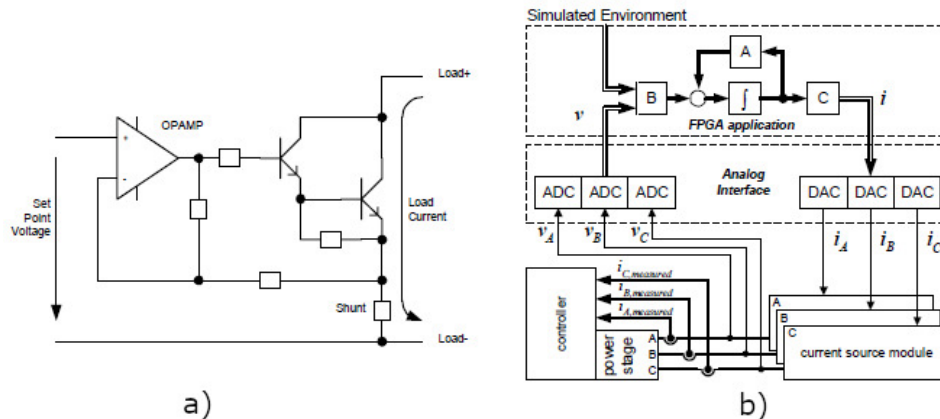
Práca nadväzuje na hotové riešenia, ktoré boli doposiaľ vytvorené pre aplikácie PHIL simulácie indukčných rotačných strojov. Ich prínos a zameranie bude popísané v nasledujúcej sekcii.

2.5.1 Simulation of Inductive Loads

Článok sa zaoberá PHIL simuláciou pre motory napájané striedavým napätím. Začiatok je venovaný zmysluplnosti HIL testov a ich rozšíreniu o testovanie výkonovej časti RJ. Druhá

časť je venovaná simulácií indukčných záťaží v RT prostredí. Zvažované boli dve možnosti a to výpočet pomocou pasívnych komponentov, alebo prostredníctvom FPGA. Nakoniec zvolený spôsob bol výpočet pomocu FPGA. Spomenutý je aj spôsob riadenia indukčných záťaží a potreba vzorkovať vstupné napätie na minimálne niekoľkokrát vyššej frekvencii.

Realizácia začína treťou časťou, kde je analyzovaná sústava a predpoklady na funkcionality. Architektúru zobrazuje obrázok 2.19 b) . Medzi hlavnými požiadavkami je vyhotovenie obojsmerného zdroja prúdu. Jeho konštrukciou sa priamo zaoberá štvrtá časť, kde sa berie do úvahy prúd, vytváraný v chode na voľno, kde je k prúdovému zdroju pridaný napäťový zdroj pre tvorbu odpovedajúceho napätia. Prúdový zdroj je zobrazený na obrázku 2.19 a).



Obrázok 2.19: a) Prúdový zdroj b) Náhrada reálnej sústavy [21]

Záverečná časť sa venuje návrhu zdroja a dimenzovaniu obalu v dôsledku odvádzania veľkého množstva vyprodukovaného tepla počas PHIL testov. V samotnom závere sú zhodnotené výsledky, ktoré sa javia ako veľmi zaujímavé. [21]

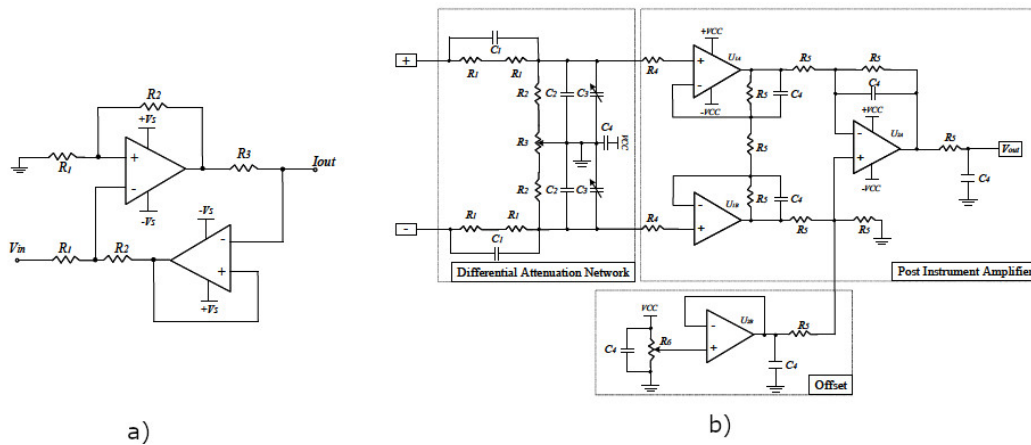
2.5.2 Power-Hardware-in-the-Loop Simulator for Brushless DC Motor

Správanie BLDC a DC motorov je v oblasti prúdu veľmi podobné. Tento článok sa venuje PHIL simulácií pre BLDC. Prvá časť článku je venovaná odôvodneniu zmysluplnosti PHIL riešenia ako komplexnejšej simulácie z hľadiska odberu energie. Druhá a tretia časť je venovaná princípu BLDC motora. Zaujímavým poznatkom je nahradenie Eulerovej numerickej metódy pre RT výpočet Laplaceovou metódou, čo vo výsledku výrazne ušetrilo výpočtovú náročnosť celého procesu.

V štvrtej časti sa pristupuje k praktickému riešeniu celej úlohy. Pre snímanie vstupného napätia je použitý inštrumentálny operačný zosilňovač, ktorý ma na vstupe diferenčný napäťový delič s filtrom dolná priepusť. Pre správny rozsah napätia je k inštrumentálnemu zosilňovaču pripojený sledovač, ktorý plní úlohu offsetu. Pre simuláciu požadovaného prúdu bol zvolený prúdový zdroj v podobe dvoch výkonnostných OZ. Piata časť zobrazuje architektúru PHIL simulátora a sú v nej spomenuté technické limity aplikácie. Zaujímavá je poznámka o tom, že RJ musí byť k zdroju prúdu pripojená cez indukčnosť, ktorá by mala byť volená ako kompromis medzi požadovaným zvlnením prúdu a rýchlosťou riadenia.

Záver článku sa venuje experimentu, kde sa realisticky podarilo dosiahnuť požadovaný si-

mulovaný odber prúdu, pričom bol simulovaný BLDC motor s parametrami reálneho. Zároveň sú uvedené do pozornosti výhody počítania numerického modelu pomocou Laplaceovej transformácie. [22]



Obrázok 2.20: a) Prúdový zdroj b) Snímanie vstupného napätia [22]

2.5.3 Návrh zařízení pro power HIL simulaci stejnosměrného motoru

Diplomová práca sa zaoberá návrhom testovacieho zariadenia pre PHIL simuláciu DC motora. Začiatok práce je venovaný rešeršiam v oblasti simulácii a DC motorov. Následne sa pristupuje k riešeniu práce. Pre stavbu zariadenia bol použitý zabrzdený DC motor so známymi hodnotami R a L . Výkonová časť PHIL bola určená ku generovaniu U_{ind} . Zvolené metódy boli s využitím výkonového OZ a H-mostu. Tieto postupy boli medzi sebou porovnávané, pričom boli uvedené ich výhody a nevýhody. Devízou práce bolo, že simulátor nakoniec nebol pripojený k reálnej RJ, teda nebola preukázaná jeho schopnosť a funkčnosť v reálnom prostredí, avšak kvalitne spracovaný postup práce môže vysoko uľahčiť tvorbu vlastného simulátora. [23]

2.5.4 Modelování a HIL simulace ovládání pátých dveří osobního automobilu

Nutnosť presného simulačného modelu je nevyhnutná pre tvorbu kvalitného PHIL simulátora. Táto diplomová práca je venovaná popisu dynamiky piatich dverí osobných automobilov Škoda Superb, BMW 7 Series a Volkswagen Sharan. Model je vytváraný postupne, pričom sa začína od jednoduchého statického popisu a následne je pridávaná aj dynamika celého deja. Najpresnejšie výsledky sú dosiahnuté s 3D modelom v ktorom je zahrnutá aj torzná tuhosť a tlmenie.

Všetky modely sú porovnané s výsledkami nameranými na reálnom automobile. Veľkým plusom je popis riadenia a algoritmu, ktorý je implementovaný v reálnej RJ. Pre lepšie ovládanie bolo vytvorené prehľadné GUI. [24]

3 Ciele a problémy práce

Práca nadväzuje na už vypracované diplomové práce spomenuté v častiach 2.5.3 a 2.5.4. Cieľom DP je vytvoriť PHIL simulátor pre otestovanie konkrétnej RJ používanej vo vozidlách ŠKODA, reprezentovaný komplexným zariadením, pri ktorom je možné bezzásahovo otestovať veľkú škálu typov aktuátorov s rozdielnymi parametrami bez fyzického zásahu do softvéru alebo hardvéru zariadenia. Realizácia si vyžadovala prekonať nasledujúce technické problémy:

- Voľba vhodnej koncepcie simulátora pre testovanie. Topológia by mala zahrňať výkonovú aj signálovú časť a mala by poskytovať dostatočný výkon pre testovanie veľkého množstva aktuátorov.
- Tvorba riadenia pre dosiahnutie požadovaného odberu. Riadenie by malo zahrňať strednú hodnotu prúdu, aj jeho zvlnenie, čo je nevyhnutný krok pre dostatočne presvedčivú simuláciu parametrov aktuátora.
- Identifikácia komunikácie riadiacej jednotky. Predovšetkým sa jedná o rozpoznanie vstupných a výstupných signálov potrebných pre vykonanie otváracej a zatváracej sekvencie piatych dverí automobilu. Postupnosť a vlastnosti signálov sú potrebné pre vytvorenie HIL časti simulátora.
- Tvorba a návrh výkonovej časti elektroniky pre simulovanie odberu spočíva hlavne vo výbere a výrobe správneho hardvéru, ktorý spĺňa technické požiadavky pre presnú simuláciu výkonu simulovaného aktuátora. Na túto elektroniku je potrebné navrhnuť reguláciu, kde sa overí jej funkčnosť a použiteľnosť v reálnej sústave.
- Overenie a výroba signálovej časti simulátora zahŕňa aplikáciu zistených sekvencií na reálnu sústavu, ktorá je tvorená skutočným hardvérom pre overenie jej správnosti. Po jej validácii sa pristupuje k návrhu elektroniky, ktorá bude umiestnená vo finálnom simulátore, pričom je potrebné brať ohľad na jej veľkosť a jednoduchosť pripojenia.
- Aplikácia modelu reálnej sústavy, ktorá s dostatočnou presnosťou dokáže simulovať odber skutočného aktuátora s dôrazom na jej dynamické a statické vlastnosti. Obsah modelu by sa mal skladať z DC motora vhodne doplneného o dynamické parametre piatych dverí automobilu. Pri tvorbe by sa mal klásť dôraz na jednoduchú modifikáciu parametrov.
- Integrácia jednotlivých dielčích častí do finálneho produktu s prehľadným grafickým užívateľským rozhraním na ktorom je možné zobrazovať merané veličiny a vykonávať testovacie sekvencie. Pri tvorbe softvéru je potrebné brať ohľad na jeho možnú rozšíriteľnosť pre potenciálne testovacie možnosti.

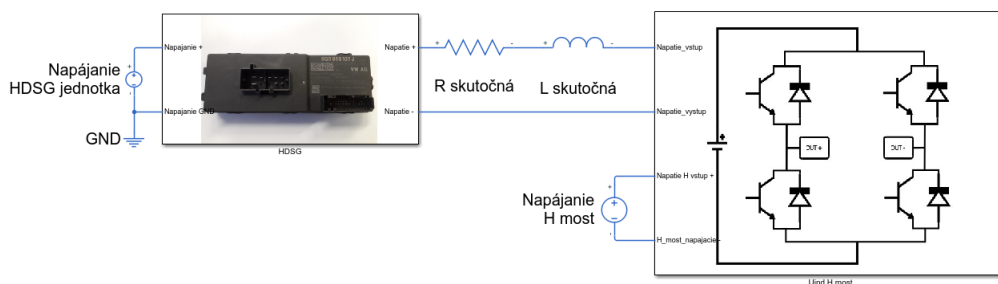
4 Návrh riadenia

Od voľby vhodného spôsobu riadenia závisí úspech celej aplikácie. Koncepcia by mala byť navrhnutá s ohľadom na jednoduchú aplikáciu a nízku výpočtovú náročnosť. Zároveň sa kladie dôraz na determinizmus deja v každom bode, aby svojvoľne nedochádzalo k nepredpokladaným stavom z dôvodu chyby v sústave.

4.1 Model sústavy

Koncept vychádza z DP práce spomenutej v skecií 2.5.3, pričom pre tvorbu napätia bola zvolená varianta s H-Mostom. Model je vytvorený v prostredí Matlab/Simulink za použitia knižnice SimElectronics, ktorá obsahuje elektronické komponenty rozšírené o ich fyzikálny popis, čím nás zbavuje ich vyjadreniu cez diferenciálne rovnice. Základný model reálnej sústavy sa skladá z:

- Riadiaca jednotka (H-most)
- Indukčnosť - L
- Odpor - R
- H-most pre tvorbu U_{ind}



Obrázok 4.1: Základná schéma sústavy

Je dôležité podotknúť, že H-most musí byť napájaný zo zdroja galvanicky oddeleného od napájania HDSG jednotky, inak nastáva v obvode skrat.

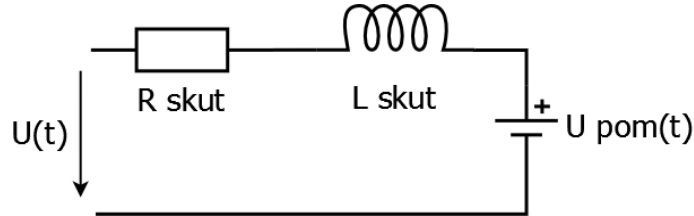
4.2 Teoretická analýza riadenia

Tvorba je založená na predpoklade simulácie DC motora za pomoci pasívnych komponentov R a L rozlišnej veľkosti a vhodným riadením H-mostu generujúcim adekvátnu hodnotu pomocného napätia U_{pom} . Uvažuje sa simulácia motora pri zachovaní identických mechanických hodnôt.

4.2.1 Simulácia DC motora s identickými parametrami

Správanie DC motora popisujú diferenciálne rovnice spomenuté v 2.1 a 2.3. Pri predpoklade, že momentová rovnica zostáva zachovaná, je potrebné analyzovať ešte elektrickú rovnicu.

Model sústavy zobrazený na obrázku 4.1 vieme nahradiť schémou podľa obrázku 4.2 pričom ako U_{ind} H-most je uvažované $U_{pom}(t)$.



Obrázok 4.2: Náhradný obvod sústavy

Tento príklad počíta s identickými hodnotami $R_{skut} = R_{mot}$ a $L_{skut} = L_{mot}$. Systém zobrazený na obrázku 4.2 popisuje nasledovná diferenciálna rovnica:

$$U(t) = R_{skut}i(t) + L_{skut} \cdot \frac{di(t)}{dt} + U_{pom}(t) \quad (4.1)$$

Porovnaním rovníc 2.1 a 4.1 a za predpokladu rovnosti hodnôt komponentov dostávame:

$$U_{pom}(t) = U_{ind}(t) \quad (4.2)$$

Z rovnice vychádza že pre zabezpečenie prúdového odberu DC motora pre náhradný obvod, je potrebné na H-moste generovať hodnotu napätia identickú s U_{ind} .

4.2.2 Simulácia DC motora s rozdielnými parametrami

Tento prípad viac odráža skutočnú aplikáciu, kde je žiadúce simulovať DC motor s rozdielnymi parametrami oproti parametrom komponentov umiestnených v simulátore. Tentokrát je zavedený predpoklad $R_{skut} \neq R_{mot}$ a $L_{skut} \neq L_{mot}$. Porovnaním rovníc 2.1 a 4.1 dostávame:

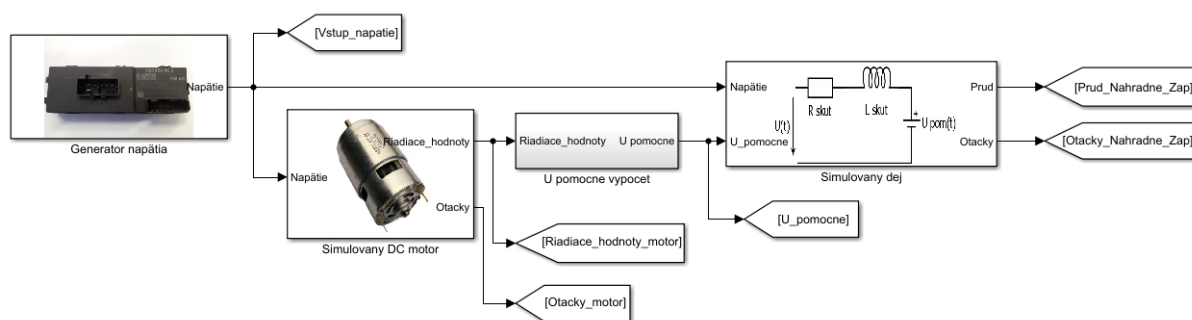
$$R_{mot}i(t) + L_{mot} \cdot \frac{di(t)}{dt} + U_{ind}(t) = R_{skut}i(t) + L_{skut} \cdot \frac{di(t)}{dt} + U_{pom}(t) \quad (4.3)$$

$$U_{pom}(t) = (R_{mot} - R_{skut})i(t) + (L_{mot} - L_{skut}) \cdot \frac{di(t)}{dt} + U_{ind}(t) \quad (4.4)$$

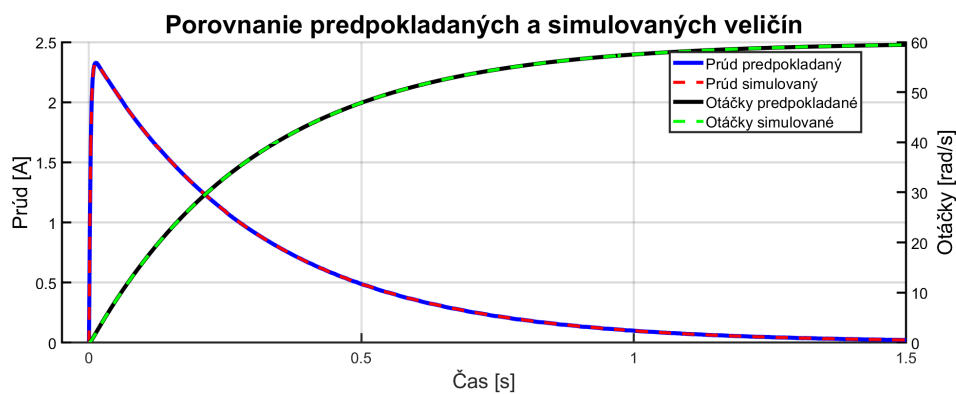
Pre generovanie identického odberu prúdu je potrebné generovať na H-moste napätie podľa rovnice 4.4. Tento predpoklad je overený numericky v Simulinku pomocou diferenciálnych rovníc pričom H-most je modelovaný ako premenná hodnota napätia.

Model pozostáva z generátora pre tvorbu pulzujúceho napätia o striede s . Napätie je ako vstup do modelu pre simulovaný DC motor, kde sú vypočítané hodnoty $\frac{di(t)}{dt}$, $i(t)$ a $U_{ind}(t)$, na ktorých základe je vypočítané $U_{pom}(t)$, ktoré spolu s napätím vstupuje do simulovaného deja reprezentujú náš PHIL simulátor. Výstupom simulátora sú prúd a otáčky ktoré sa finálne

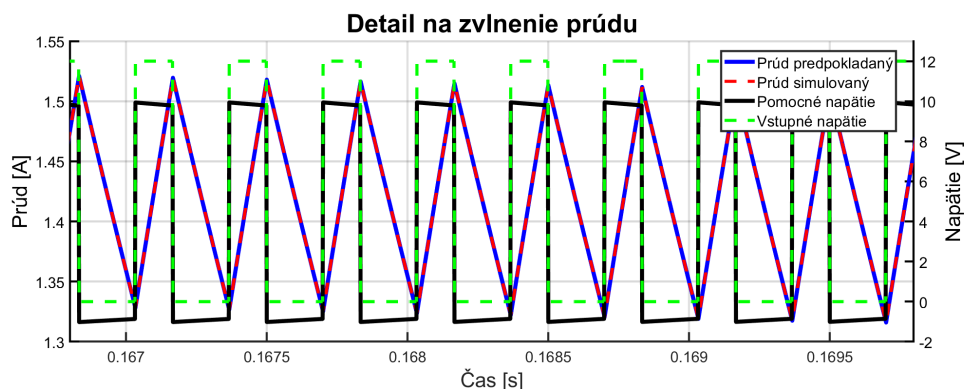
porovnajú s predpokladanými hodnotami z modelu DC motor.



Obrázok 4.3: Schéma simulácie pre overenie princípu riadenia



Obrázok 4.4: Výsledky simulácie - Predpokladaný vs simulovaný prúd/otáčky



Obrázok 4.5: Detail zvlnenia prúdu

Simulácia prebiehala s nasledovnými hodnotami: $R_{skut} = 1\Omega$, $R_{mot} = 2\Omega$, $L_{skut} = 0.5mH$ a $L_{mot} = 5mH$. Frekvencia vstupného PWM bola $f_{PWM} = 3kHz$ a krok simulácie bol zvolený ako $\frac{1}{200}T_{PWM}$.

Výsledky ukazujú zhodu predpokladanej a simulovanej hodnoty PHIL simulátora v oblasti strednej hodnoty prúdu vid'. obrázok 4.4 ako aj jeho zvlnenia vid'. obrázok 4.5. Z tejto zhody logicky vychádza aj zhoda vo výsledných simulovaných otáčkach.

4.3 Aplikácia riadenia na model sústavy

Overenie metódy navrhnutej v sekciách 4.2.2 bude prebiehať na sústave z sekcie 4.1. Rozdiel oproti predchádzajúcej verifikácii je v podobe generovania \mathbf{U}_{ind} , ktoré nebude generované ako spojitá veličina ale ako diskrétna veličina so zjavne nespojitým priebehom spôsobeným spínaním H-mosta.

4.3.1 Generovanie napätia na H-moste

Riadenie H-Mostu musí byť vykonávané Bipolárnym spôsobom, aby bolo umožnené energiu nielen odoberať, ale aj dodávať. Ako aplikované napätie sa berie stredná hodnota priebehu vychádzajúca z rovnice 2.5. Presnosť riadenia vychádza z rozlíšenia pri akom sme schopní riadiť H-most. Pri výpočte striedy berieme do úvahy žiadanú hodnotu napätia U_{pom} .

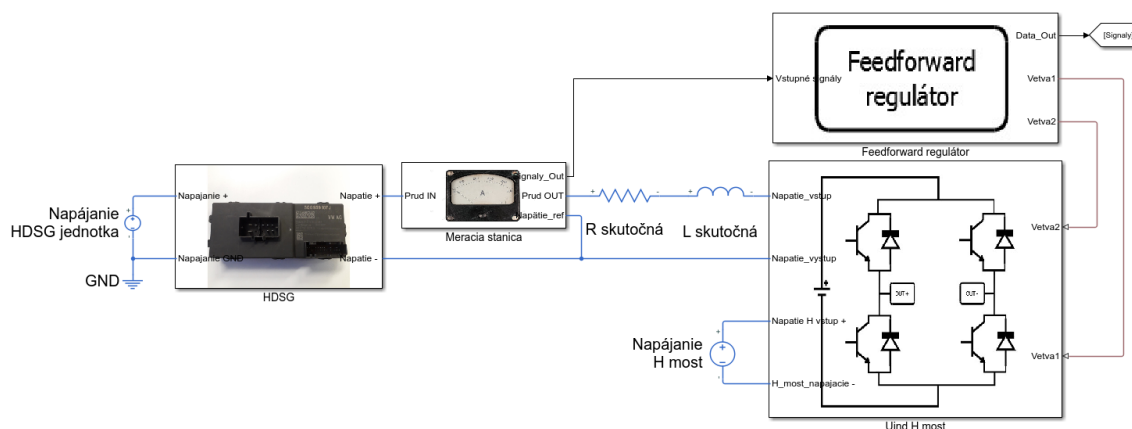
$$s = \frac{U_d}{U_{nom}} \quad (4.5)$$

Rozlíšenie PWM, aké je možné generovať v diskretnom deji na výstupe závisí predovšetkým od počtu kontrolných cyklov $\mathbf{n_{PWM}}$ počas jednej periódy (násobku výpočetnej frekvencie voči $\mathbf{f_{PWM}}$). Pri bipolárnom riadení je možné dosiahnuť:

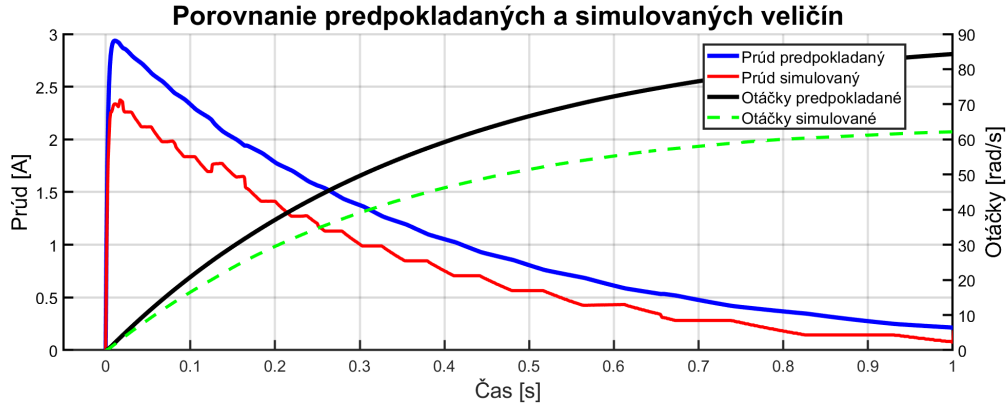
$$PWM_{res} = \frac{2 \cdot U_d}{n_{PWM}} \quad (4.6)$$

4.3.2 Simulácia riadenia na modele sústavy

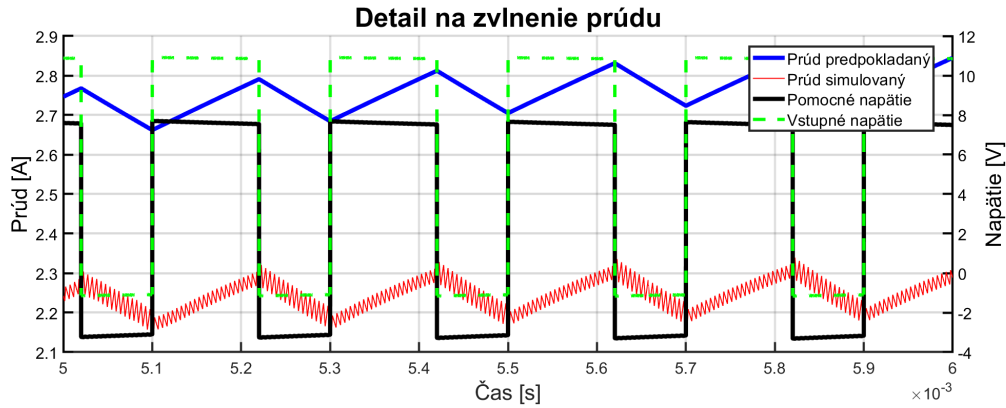
Simulácia prebieha na modeli z 4.1 pričom H-most je doplnený o riadenie na základe algoritmu z 4.2.2. Zároveň je model doplnený o meráciu staníc, kde sú získavané aktuálne hodnoty prúdu a napätia, ktoré sú použité pre výpočet predpokladanej hodnoty. Túto časť obsluhuje blok Feedforward regulátor, kde sú okrem predpokladaných veličín počítané aj zásahy pre H-most z dôvodu tvorby \mathbf{U}_{pom} podľa rovnice 4.5.



Obrázok 4.6: Schéma sústavy s FeedForward reguláciou



Obrázok 4.7: Výsledky simulácie na modeli - Predpokladaný vs simulovaný prúd/otáčky



Obrázok 4.8: Výsledky simulácie na modeli - Detail zvlnenia prúdu

Z výsledkov je možné pozorovať, že simulovaný prúd sa zjavne líši od predpokladaného. Tento jav je spôsobený nesymetrickosťou napätia vytváraného na H-moste, cez ktorý preteká prúd. Toto je priamo ovplyvňovaný veľkosťou odporu $R_{DS(on)}$, ktorý spôsobuje úbytok napätia na tranzistoroch. Jemné zvlnenie prúdu na obrázku 4.8 je spôsobené spínaním H-mosta.

Parametre simulácie boli podobné ako v prípade zo sekcie 4.2.2 so zmenami v $f_{PWM} = 5kHz$. Doplnené parametre boli napájanie H-mosta pre indukované napätie $U_{ind(NAP)} = 12V$, frekvencia indukovaného napätia $f_{U_{ind}} = 200kHz$, odpor tranzistoru $R_{DS(on)} = 0.1\Omega$. Krok simulácie bol volený ako $\frac{1}{200} T_{U_{ind}}$.

4.3.3 Doplnenie riadenia o úbytok na H-moste

Napätie vygenerované na reálnom H-moste je vzhľadom k úbytku na tranzistoroch značne nesymetrické, preto pri striede $s = 0$ a nenulovom prúde $i(t) \neq 0$ sa stredná hodnota $U_{ind} \neq 0$. Pre výpočet striedy na základe požadovaného napätia U_{pom} je potrebné zaviesť nasledovné predpoklady:

$$U_{ind(UP)} = U_{ind(NAP)} + 2R_{DS(on)}i(t) \quad (4.7)$$

$$U_{ind(DOWN)} = -U_{ind(NAP)} + 2R_{DS(on)}i(t) \quad (4.8)$$

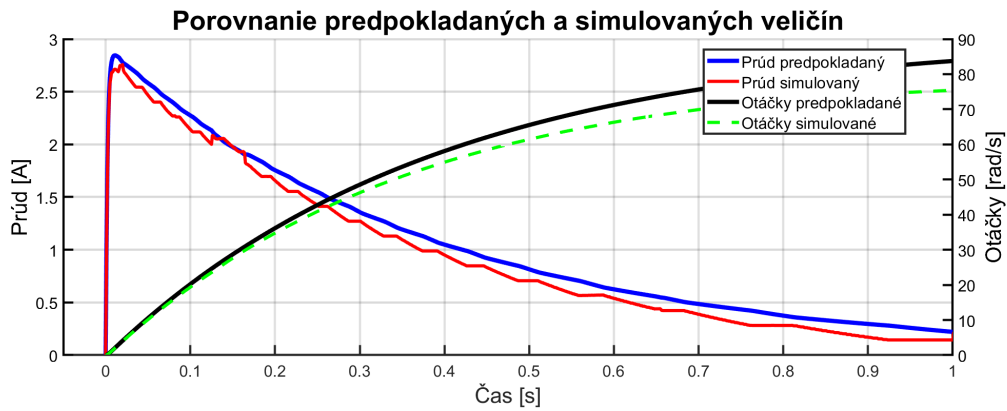
$U_{ind(UP)}$ a $U_{ind(DOWN)}$ sú amplitúdy napätia na výstupe H-mostu pri zaťažení prúdom. Strednú hodnotu napätia na výstupe dostaneme ako:

$$U_{ind(STR)} = \frac{(1+s)U_{ind(UP)} + (1-s)U_{ind(DOWN)}}{2} \quad (4.9)$$

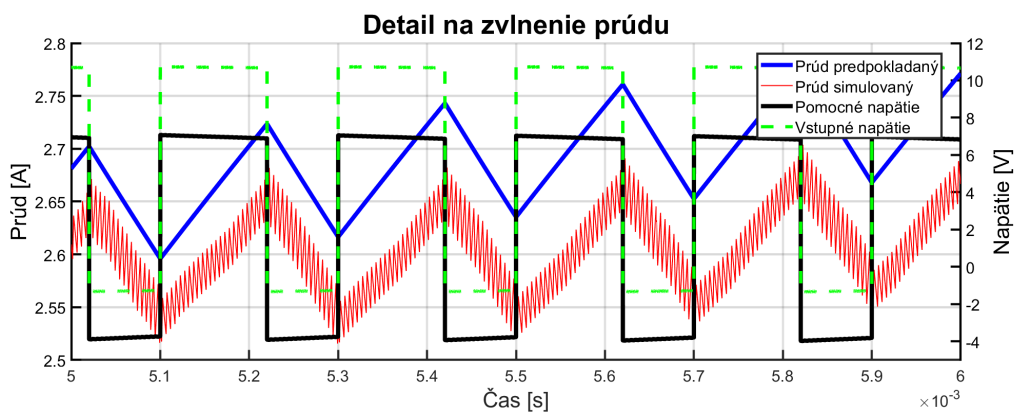
Nahradením $U_{ind(STR)}$ za U_{pom} a dosadením rovníc 4.7 a 4.8 do 4.9 získavame nasledovnú hodnotu striedy:

$$s = \frac{U_{pom} - 2R_{DS(on)}i(t)}{U_{ind(NAP)}} \quad (4.10)$$

Tento tvar je veľmi výhodný, nakoľko nám umožňuje prejsť z rovnice 4.5 do nového tvaru za pridania jedného parametru.



Obrázok 4.9: Výsledky simulácie na modeli (Kompensácia H-mostu) - Predpokladaný vs simulovaný prúd/otáčky



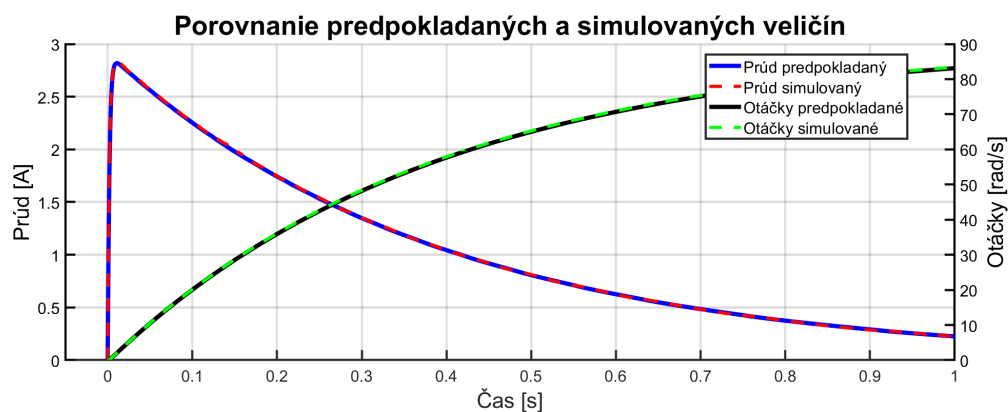
Obrázok 4.10: Výsledky simulácie na modeli (Kompensácia H-mostu) - Detail zvlnenia prúdu

Uvedené výsledky vykazujú podstatné zlepšenie oproti výsledkom z sekcie 4.3.2. Stredná hodnota simulovaného prúdu sa značne približuje k predpokladanému. Jemnú odchýlku spôsobuje presnosť generovaného U_{ind} rozoberaného v rovnici 4.6. Pre účely simulácie boli použité parametre zo sekcie 4.3.2.

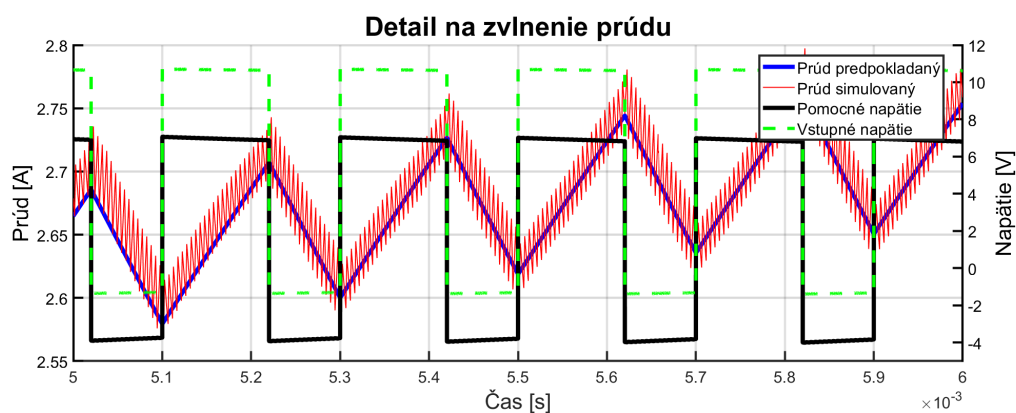
4.3.4 Doplnenie riadenia o PID regulátor

Pre finálne vylepšenie riadenia je k **FF** regulácii navrhnuť v sekciách 4.3.2 a 4.3.3 doplnený **PID** regulátor. Jeho hlavnou úlohou je korigovať nepresnosti vznikajúce nedostatočným rozlíšením U_{ind} .

Pre dostatočnú reguláciu v tomto prípade stačil empiricky naladený **PI** regulátor, ktorý si s malou nepresnosťou bez problémov poradil.



Obrázok 4.11: Výsledky simulácie na modeli (s PID) - Predpokladaný vs simulovaný prúd/otáčky



Obrázok 4.12: Výsledky simulácie na modeli (s PID) - Detail zvlnenia prúdu

Obrázok 4.12 ukazuje stredné hodnoty prúdov. Je viditeľné, že hodnoty sú takmer identické, teda princíp riadenia bol potvrdený. Pre simuláciu boli použité parametre zo sekcie 4.3.2.

5 Komunikácia jednotky

Potreby HIL simulácie vyžadujú replikovanie správnej komunikačnej sekvencie, ktorá je inak vykonávaná reálnym hardvérom. Získanie vhodného postupu je možné pomocou dokumentácie od výrobcu RJ, alebo v prípade prítomnosti existujúceho zariadenia je možné previesť meranie na reálnej sústave.

5.1 Topológia riadiacej jednotky

Riadiaca jednotka - HDSG

Použitá riadiaca jednotka bola HDSG od firmy Continental s označením 5Q0 959 107. Na povrchu RJ je priestor pre pripojenie dvoch konektorov. Ľavý konektor slúži na pripojenie aktuátorov a privedenie napájania pre RJ. Pravý konektor má za úlohu pripojenie dodatočného hardvéru a vyvedenie komunikačných periférií.

SKODA Test stand

Prítomnosť reálneho automobilu pre účely vývoja by značne navyšovala finančné a priestorové nároky celej úlohy. Ako jeho náhrada je použitý SKODA test stand, obsahujúci potrebnú a nevyhnutnú elektroniku pre simuláciu a základnú funkcionálnu automobilu. Výhodou standu je možnosť pripojenia sa na akýkoľvek uzol obvodu prostredníctvom čelných WAGO svorkovnic vyvedených na jeho bočnej časti. Toto je obzvlášť výhodné v časoch potreby merania a skúšania novej elektroniky.

Architektúra sústavy

Kompletná topológia sústavy je vyobrazená na obrázku 5.1. RJ je napájaná z hlavného SKODA stand-u. Tento komunikuje s RJ po CAN zbernici, cez ktorú sú vysielané riadiace, informačné a chybové hlásenia.

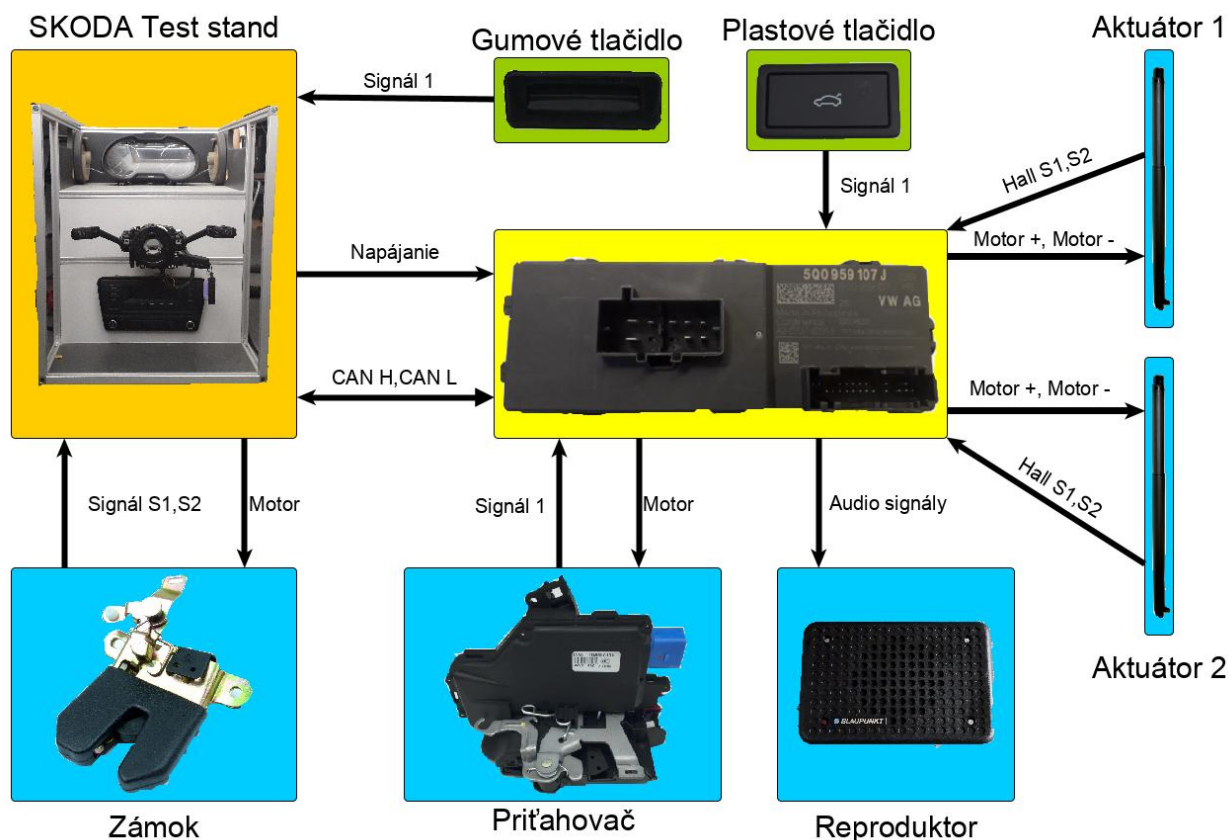
Obsluha hardvéru prebieha prostredníctvom SKODA standu. Tento primárne obsluhuje Zámok a Gumové tlačidlo, ktoré sa normálne nachádza na vonkajšej strane kufra pri SPZ. Zámok dodáva do stand-u dva riadiace signály, ktorými informuje stand o jeho aktuálnom stave. Gumové tlačidlo je so stand-om prepojené jedným signálom, ktorý udáva hodnotu stlačené/zatvorené. Napriek tomu, že zariadenia nie sú fyzicky pripojené k RJ, ich neprítomnosť spôsobuje nefunkčnosť celého systému a vedie k chybovej hláske.

Zvyšný hardvér potrebný pre správnu funkcionálnu piatich dverí obsluhuje RJ. Ovládanie pohybu dverí je zabezpečované plastovým tlačidlom, ktoré funguje iba v stave otvorených dverí. Týmto tlačidlom je takisto možné naučiť RJ vrchnú pozíciu dverí. Informácie o úspešnosti operácie sú indikované reproduktorom. Existujúci set zvukových hlásení uľahčuje detekciu potencionálnej chyby, alebo upozorňuje na momentálny stav dverí.

Otváranie a zatváranie dverí zabezpečuje dvojica translačných aktuátorov. Tieto sú ovládané pomocou RJ. O svojej polohe informujú prostredníctvom dvoch výstupov z enkóderu. Enkóder nie je absolútny snímač polohy, ale z jeho výstupu vieme na základe signálov určiť rýchlosť a

smer pohybu. Nie je však zaručené, že RJ bude mať vždy aktuálnu informáciu o veľkosti ich vysunutia.

Pre úspešne zatvorenie kufra a jeho zacvaknutie do zámku slúži priťahovač. Do RJ je privedený signál o prítomnosti dverí v oblasti priťahovača a tá následne v prípade potreby zapína motor, ktorým sú dvere pritiahnuté do zavretej polohy.



Obrázok 5.1: Komunikačná schéma riadiacej jednotky

5.2 Identifikácia signálovej časti

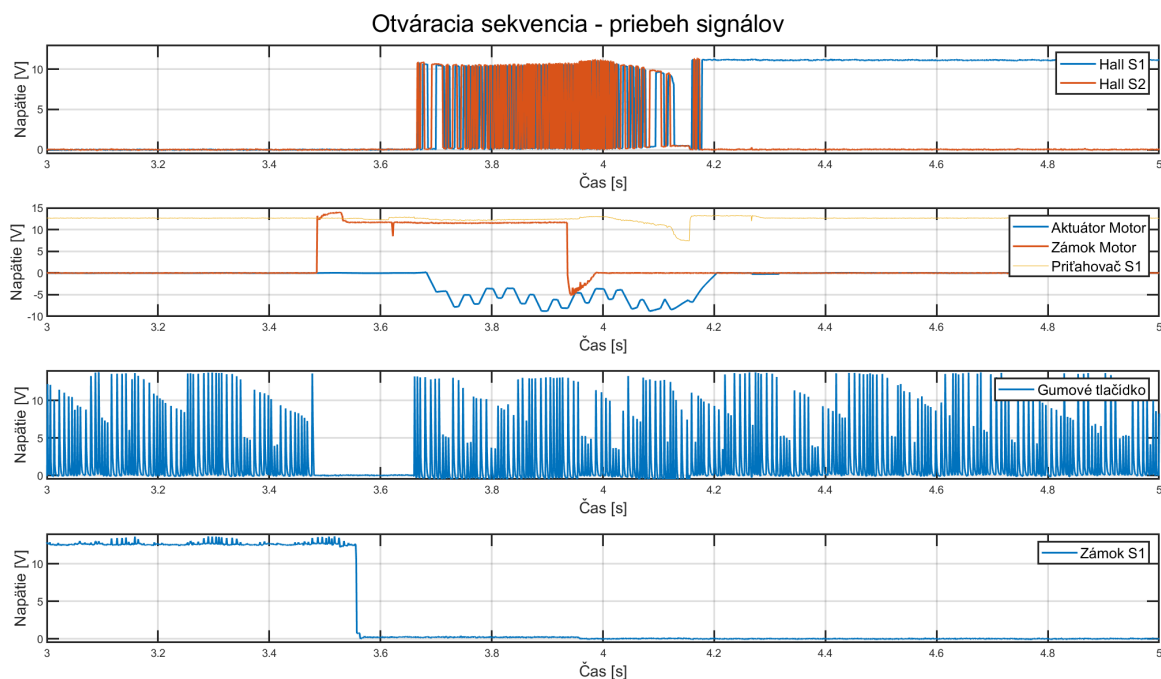
Meranie signálovej časti prebiehalo prostredníctvom SKODA test stand-u, ktorý v určený čas obsahoval simulátor generovania záťaže pre aktuátory. Táto skutočnosť minimalizuje možné prípadné chyby spôsobené neznalosťou správnej signálovej sekvencie.

Otváracia sekvencia

Dáta z nameranej otváracie sekvencie sú zobrazené na obrázku 5.2. Pre jednoduchšie odčítanie bola zobrazená iba krátka sekvencia, ktorá prebehne po stlačení gumového tlačidla.

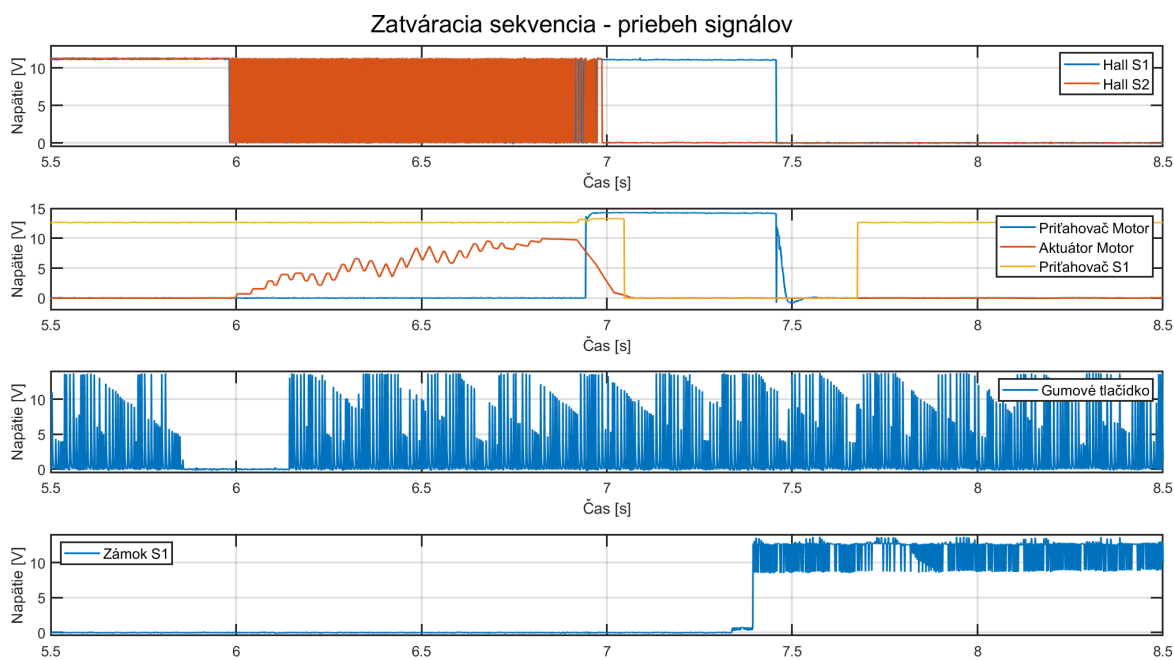
Po tom, čo bolo gumové tlačidlo stlačené, stand pristúpi k uvoľneniu dverí zo zámku privedením napätia na jeho motor. Jeho uvoľnenie signalizuje Signál S1 znížením sa do spodnej napäťovej hladiny. Tento signál vypovedá o tom, že dvere sú odomknuté a SKODA stand zašle signál do RJ o možnom otváraní dverí. V tomto momente RJ privedie na aktuátor napätie (na obrázku je zobrazená stredná hodnota) a dvere sa začínajú otvárať. Na obrázku je zobrazená

stredná hodnota napätia privádzaného na aktuátor.



Obrázok 5.2: Sekvencia otvárania - Signály

Zatváracia sekvencia



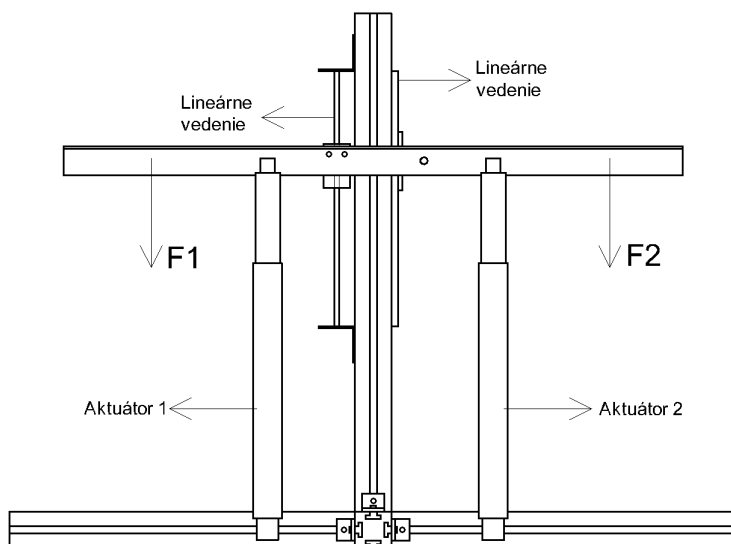
Obrázok 5.3: Sekvencia zatvárania - Signály

Pre možné vykonanie zatváracej sekvencie je potrebné, aby signál Zámku S1 bol v spodnej napäťovej hladine. Obrázok 5.3 zobrazuje sekvenciu zatvárania. Prvým krokom je stlačenie

gumového tlačidla. Na jeho povel RJ začne privádzať na aktuátor napätie (na obrázku je zobrazená stredná hodnota). Po tom, čo sa dvere dostanú do spodnej polohy (naučené miesto), sa na priťahovači objaví napätie, ktoré tam zotrúva až do momentu príchodu signálu zo zámku S1, ktorý ide do vrchnej napäťovej hladiny signalizujúc pritom úspešne zamknutie dverí. V tomto bode je stiahnuté aj napätie z enkóderov z dôsledku ukončenia ich napájania.

5.3 Meranie výkonovej časti

Pre overenie signálov nameraných v sekcii 5.2 a pre približnú predstavu o správaní RJ bol skonštruovaný mechanizmus pre zaťaženie aktuátorov. Zariadenie bolo poskladané z hliníkových profilov doplnených o dve lineárne vedenia, na ktorých bola uchytená zaťažovacia lišta. Táto zároveň plnila aj funkciu uchytenia aktuátorov. Na lištu bolo možné zavesiť závažia pre potrebné zaťaženie, bez ktorého by sa aktuátory nezačali pohybovať. Zariadenie je znázornené na obrázku 5.4.



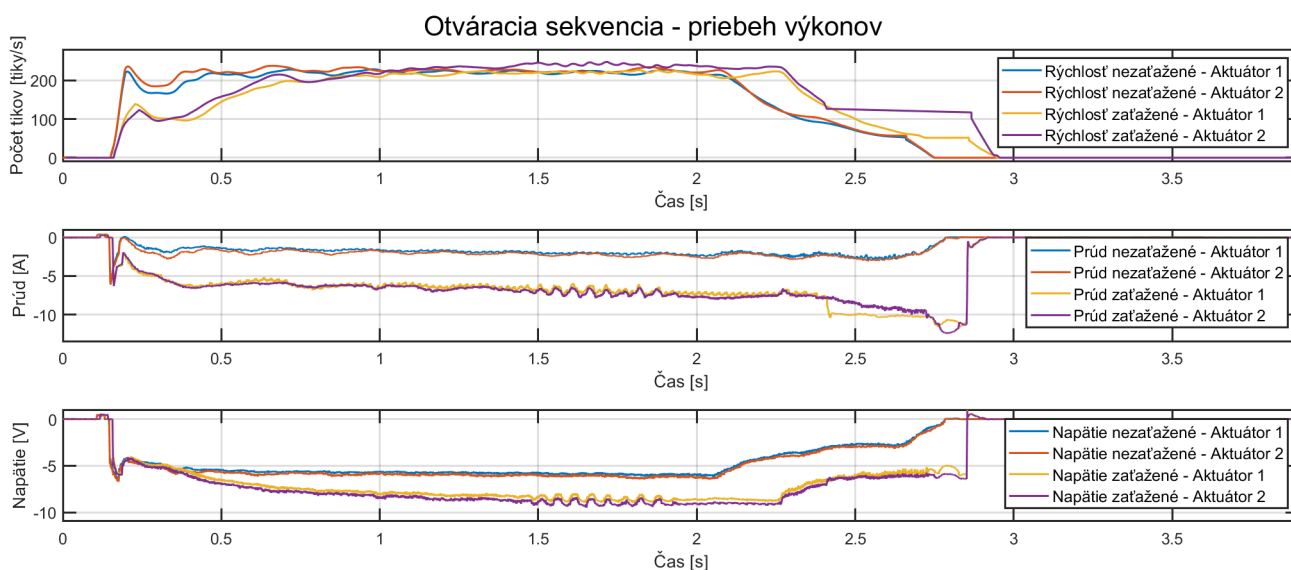
Obrázok 5.4: Sústava pre zaťažovanie

Výkony boli merané v dvoch sekvenciách pričom bolo uvažované $\mathbf{F}_1 = \mathbf{F}_2$. Pre prvý "nezaťažovaný" prípad bolo uvažované $\mathbf{F}_1 = 200N$. Zaťažovaný prípad bol vykonávaný pri $\mathbf{F}_1 = 450N$. Výsledky sú znázornené na obrázkoch 5.5 a 5.6.

Otváracie výkony

Pri pohľade na rýchlosť vidíme, že RJ sa spoiatku snaží dosiahnuť určitú rýchlosť, ktorá je následne konštantne udržiavaná. Pri zaťažovaní sa do tejto rýchlosti dostáva dlhšie z dôsledku vyššej záťaže. Tento fakt sa premietol aj vo veľkosti prúdu.

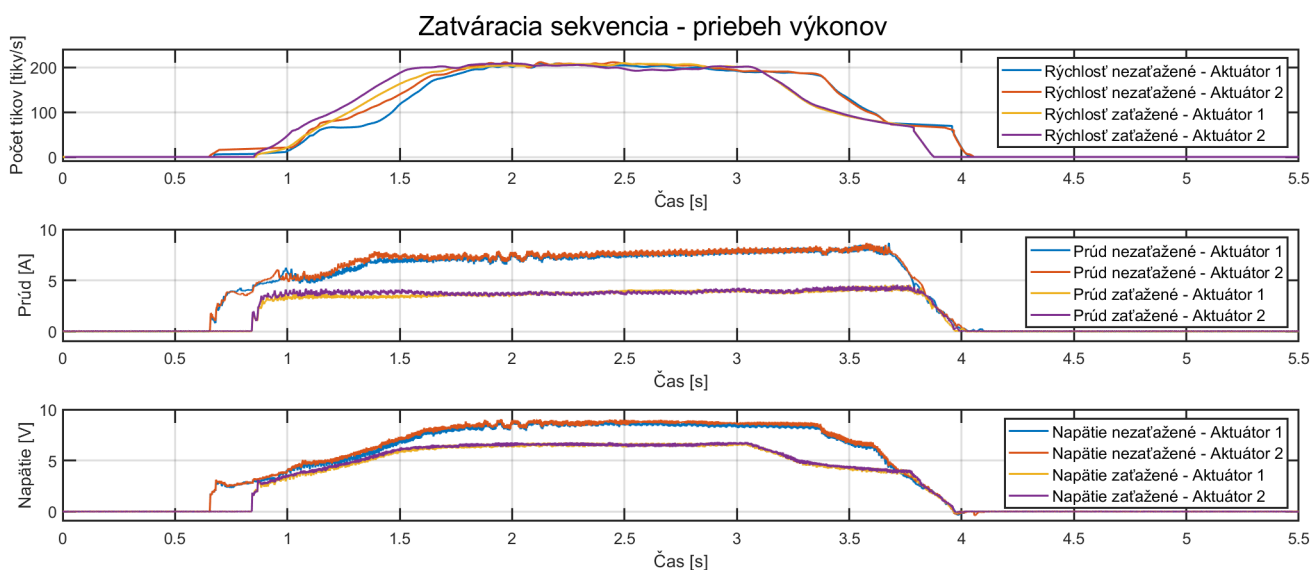
Pri vyššej záťaži musí byť pre požadovanú rýchlosť generované napätie o väčšej striede. Stredná hodnota napätia nie je však identická pri oboch aktuátoroch, čo spôsobuje jemne rozdielna aktuálna rýchlosť aktuátorov, proti ktorej pôsobí regulačný cyklus RJ. Tento fakt je spôsobený nesymetrickým zaťažovaním alebo možnými výrobnými odlišnosťami v aktuátoroch.



Obrázok 5.5: Sekvencia otvárania - Výkony

Zatváracie výkony

Priebeh prúdov a napätia je veľmi podobný ako pri otvárací sekvencií, s tým rozdielom, že vyššia záťaž pôsobí v smere rýchlosti, čo má za následok ich menšie hodnoty.

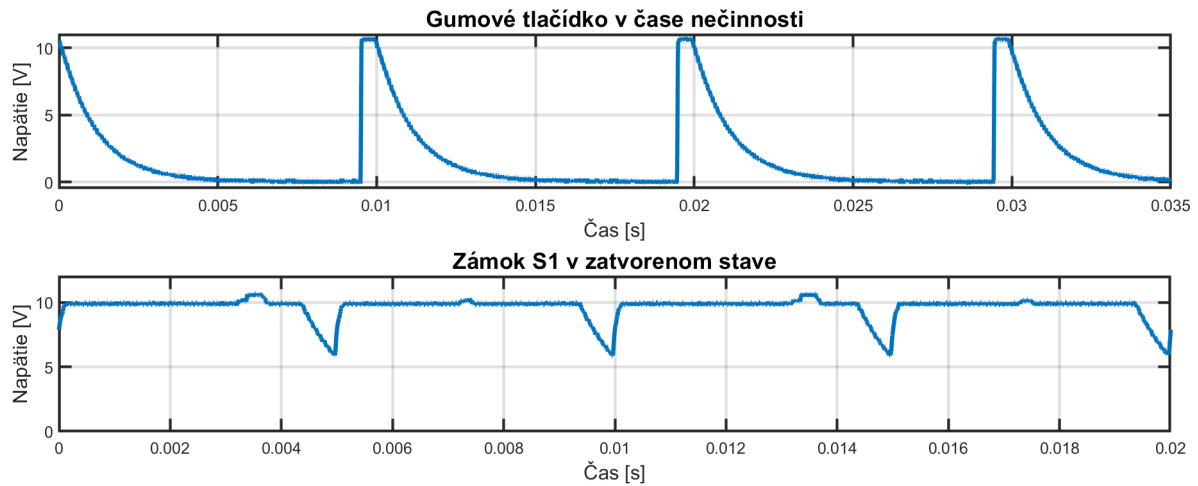


Obrázok 5.6: Sekvencia zatvárania - Výkony

5.4 Kontrolné sekvencie

Prítomnosť potrebného hardvéru kontroluje RJ vysielaním kontrolného signálu. V prípade, že jeho tvar neodpovedá predpokladanému, RJ začne hlásiť chybu a zamedzí sa otváraní dverí. Pri pokuse o otvorenie sa ozve chybová hláška. Príklad takýchto kontrolných signálov je uvedený na obrázku 5.7.

Zobrazené signály majú tvar podľa stavu, v ktorom sa daný signál momentálne nachádza. V prípade vyššej napäťovej hladiny má signál tvar zárezu (linka je sťahovaná v krátkych intervaloch do LOW). Pre prípad nulového napätia sa na linke objavujú "zuby" (spínanie signálu do vyššej napäťovej úrovne).



Obrázok 5.7: Kontrolné signály

6 Hardvér

Vykonávanie výpočtov a riadenie na vysokých frekvenciách si vyžaduje vhodný hardvér. Pri jeho výbere je potrebné dbať na dostatočnú výpočtovú kapacitu a maximálnu rýchlosť s akou dokáže plniť požadovaný úkon. Tvorba PHIL zariadenia pre indukčnú záťaž kladie vysoké nároky na výkon, preto nie je možné použiť ako ovládací prvok desktop PC používajúci komerčný operačný systém.

Výber hardvéru pozostával predovšetkým z už existujúcich riešení, avšak dostupné zariadenia nie vždy spĺňali všetky požiadavky na simulátor, čo viedlo k potrebe návrhu vlastných jednotiek. Používané boli zariadenia od NI a hotové výrobky zo školského laboratória Mechlab.

6.1 Výpočtová a ovládací jednotka

Požiadavky na výpočtovú rýchlosť vyplývajú priamo zo zadania DP. Minimálna požadovaná frekvencia ovládania H-mosta je 200kHz pri rozlíšení aspoň 8 bitov. Táto skutočnosť od nás vyžaduje zariadenie, ktoré je schopné fungovať na minimálnej frekvencii 50MHz . Logickou voľbou sú teda zariadenia obsahujúce FPGA čip.

Pri výbere hardvéru sme mali na výber s viacerou možnosťou. Jednalo sa o dSPACE SCALEXIO modul a viacero cRIO alebo sbRIO. V prípade cRIO ide o zariadenie s označením 9073 a sbRIO 9032 a 9036. Výslednou voľbou bolo posledné z nich prioritne kvôli novšiemu XILINX FPGA čipu, keďže ostatné zariadenia obsahovali staršiu architektúru SPARTAN 3, ktorá neumožňovala kompiláciu paralelných cyklov na rozdielnej výpočtovej rýchlosti.

sbRIO 9636

Zariadenie sbRIO disponuje vysokým výpočtovým výkonom a množstvom periférií, čo ho robí ideálnou voľbou pre použitie na PHIL simulátora. Zariadenie ponúka:

- Maximálnu frekvenciu hodín - 280 MHz
- 512 MB pamäť
- RS-485 port
- 2 x RS-232 port
- CAN port
- USB port
- SD karta port
- 33 x DIO port
- 16 x 12-bitový ADC (200 kS/s)
- 4 x 16-bitový DAC port (336 kS/s)

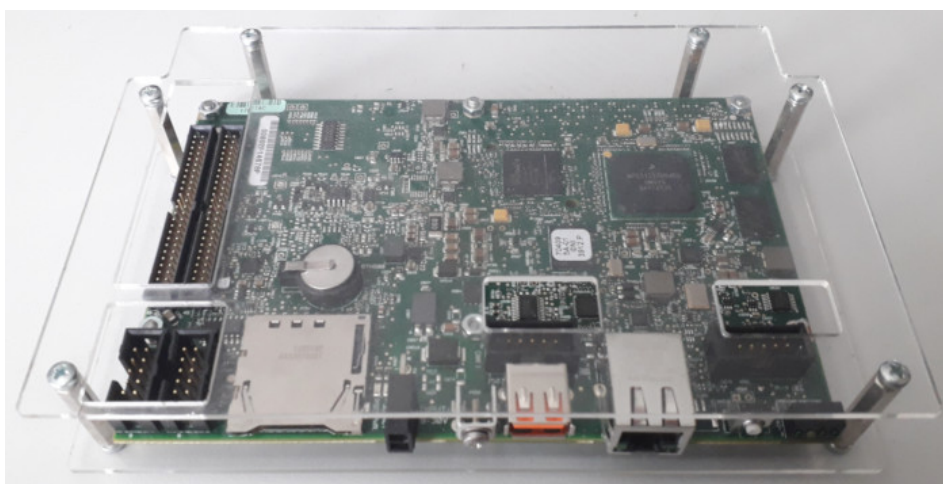
Nevýhoda zariadenia spočíva hlavne v nevhodných ADC prevodníkoch. Pre spôsoby regulácie je ich rýchlosť nedostatočná a malý rozsah nám neumožňuje snímať plávajúce napätie. Toto je možné kompenzovať veľkým počtom DIO portov a pripojením externej jednotky pre snímanie vstupných veličín. Dostatočne vysoká frekvencia hodín spĺňa prísne podmienky na

časovanie. Zvyšné periférie môžu slúžiť ako potenciál do budúcnosti pre prípadné vylepšenie aplikácie.

FPGA čip Xilinx Spartan-6 LX45 obsahuje:

Počet registrov	54 576
Počet LUT	27 288
Počet DSP48	58
Dostupná RAM pamäť	2 088 kbits
Počet DMA kanálov	5

Tabuľka 6.1: Parametre Spartan-6 LX45



Obrázok 6.1: sbRIO 9636

6.2 Výkonový hardvér

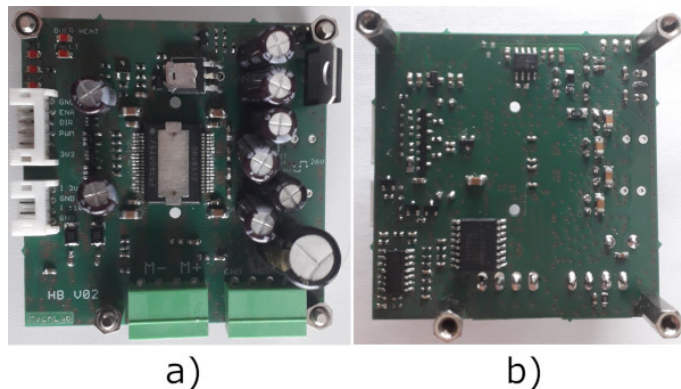
6.2.1 H-most pre generovanie indukovaného napätia

Pre generovanie indukovaného napätia bol použitý už hotový H-most, ktorý bol k dispozícii v Mechlab-e. DPS je osadená vysoko výkonným **DRV8412** integrovaným obvodom. Periférie umožňujú separátne ovládanie dvoch záťaží (Dual Full-Bridge Mode), alebo ovládanie jednej (Parallel Mode), pričom tento mód je schopný dodávať dvojnásobný výkon oproti dualnému módu. Vďaka nízkemu $R_{DS(on)}$ je možné zaťaženie prúdom až **24A** kontinuálne pri použití dostatočne dimenzovaného chladiča.

Elektrická účinnosť dosahuje maximálnu hodnotu 97 % pri spínacej frekvencii 50 kHz, pričom dosahuje hodnoty 90 % pri frekvencii 500 kHz. Pri vysokých prúdoch by vyprodukované teplo mohlo signifikantne otepliť obal integrovaného obvodu, čo by mohlo viesť k jeho deštrukcii. Aby sa tomuto zamedzilo je na jeho vrch privedená kovová plocha pre potencionálne

umiestnenie chladiča.

Na DPS sa nachádza snímač prúdu **ACS710** fungujúci na Hall-ovom efekte. Vhodným spojením vývodov je možné snímať prúd do veľkosti až 75 A. Výstup zo senzora je analogový, pričom operačnými zosilňovačmi je prepočítaný, aby dával hodnoty 0-10 V. Limity sbRIO 9636 spomenuté v sekcii 6.1 v ohľade vyčítania z ADC nám však neumožňujú použiť tento senzor.



Obrázok 6.2: H-most pre generovanie indukovaného napätia a) Vrchná strana b) Spodná strana

6.2.2 Pohlčovač energie

H-most slúžiaci ako generátor U_{ind} energiu nielen dodáva, ale zároveň aj prijíma. Vlastnosti zdroja, ktorým je napájaný H-most mu neumožňujú prebytočnú energiu pohltiť, čo by mohlo zapríčiniť dramatické zvýšenie napätia na vstupe. Takýto jav je nebezpečný, keďže by mohol vážne poškodiť napájané komponenty.

Pre limitovanie maximálneho napätia, ktoré sa môže objaviť na zdroji, je do obvodu pridaný pohlcovač energie. Jedná sa o hotové zariadenie, ktoré bolo dostupné v Mechlab-e. Umožňuje plynulé nastavovanie maximálneho napätia na výstupe a prípadnú prebytočnú energiu premieňa na tepelnú.



Obrázok 6.3: Pohlčovač energie

6.2.3 Doska pre meranie elektrických veličín

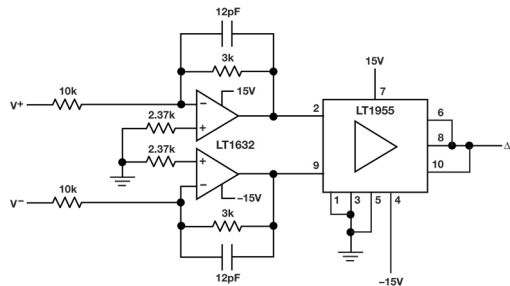
Vysoké požiadavky na frekvenciu snímania vstupných veličín viedli k potrebe vytvorenia špecializovaného hardvéru. Podľa obrázka 4.6 je pre reguláciu potrebné snímať:

- Vstupné napätie U_{in}
- Prúd tečúci obvodom I_L

Snímanie napätia

Snímanie napätia bolo realizované topológiou podľa obrázka 6.4. Napätie ako prvé prechádza cez vstupné zosilňovače so zosilneným daným pomerom vstupného a spätnoväzbového rezistoru. Pre tento prípad dostávame:

$$U_{out} = -(V+) \frac{3k}{10k} \quad (6.1)$$



Obrázok 6.4: Schéma obvodu pre meranie napätia [25]

Toto napätie vstupuje do diferenčného zosilňovača, kde je výstupná hodnota daná pomerom odporov. Ako vstupný zosilňovač je použitý **LT1632**, ktorý obsahuje dva kanály. Diferenčný zosilňovač bol použitý **LT1995**. Pri oboch sa jedná o vysokorychlostné operačné zosilňovače so širokým frekvenčným pásmom. [25]

Snímanie prúdu

Snímanie prúdu bolo realizované pomocou prúdového senzora **LEM CKSR 6-NP**. Jedná sa o senzor, ktorý poskytuje vhodné frekvenčné aj citlivostné charakteristiky a je dimenzovaný pre snímanie vysokých prúdov. Princíp senzora je založený na Hall-ovom jave.



Obrázok 6.5: LEM CKSR-6NP [26]

Senzor dokáže pracovať v dvoch módoch **REF IN** a **REF OUT**, pričom používanie prvého spomenutého je obzvlášť výhodné pri predpoklade toku prúdu jedným smerom, nakoľko

dokážeme zachovať citlivosť a zvýšiť maximálny rozsah. Na doske bol použitý senzor v móde **REF OUT**, pričom za výstup bol privedený diferenčný zosilňovač s výstupným zosilnením > 1 pre využitie plného rozsahu ADC prevodníka.

Napájanie je realizované 5V zdrojom a referenčný pin REF má na výstupe polovičnú hladinu napätia (2.5 V). Citlivosť senzora je daná počtom závitov, medzi ktorými platí priama úmera.

ADC prevodníky

Snímanie analógových veličín zo senzora prúdu a napätia zabezpečuje dvojica ADC prevodníkov typu **ADC161S626** ponúkajúcich 16 bitové rozlíšenie. Ide o diferenčné ADC s maximálnou zaručenou frekvenciou snímania **250 kSPS**. Pri najväčšom vzorkovaní dostávame výsledok s presnosťou na 0.03 %.

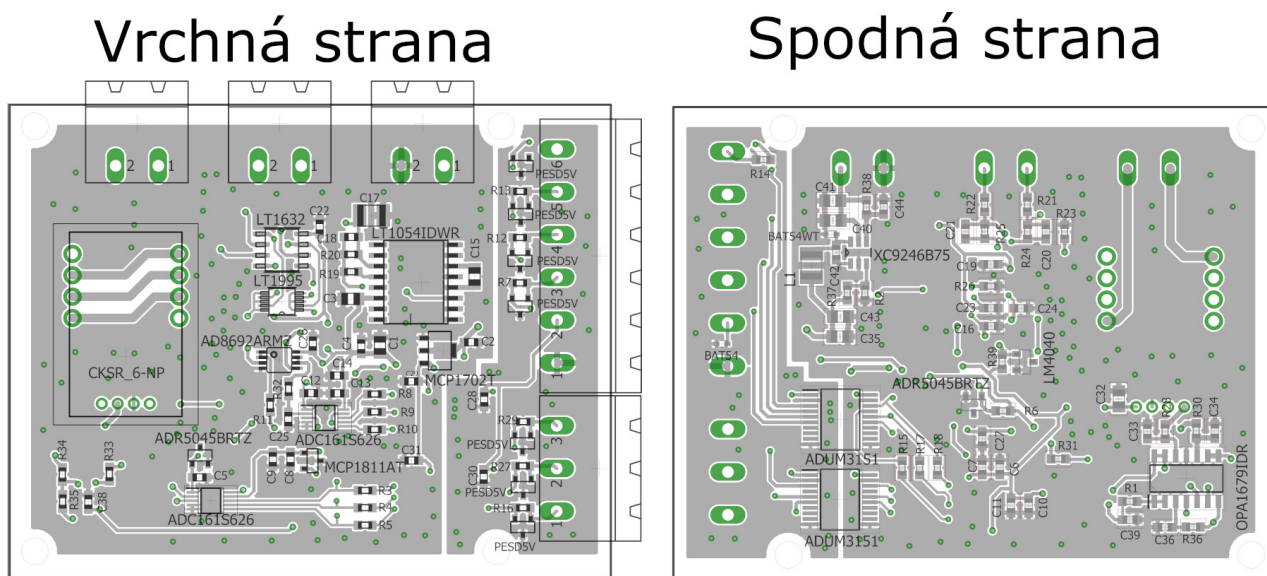
Maximálna frekvencia hodín komunikácie je uvedená ako 5 MHz, pričom pri praktickej realizácii bolo dokazané, že ADC prevodníky fungujú spoľahlivo aj pri vyššej rýchlosti. Komunikácia prebieha po trojdrôtovej SPI zbernici, galvanicky oddelenej od Master zariadenia.

Pri vyčítaní z ADC prevodníka prichádza na dátovú linku celkovo 19 bitov, z toho prvé tri sú kontrolné a nemajú žiaden vplyv na výslednú hodnotu. Pri požiadavke na vyššiu rýchlosť vyčítania nemusíme posledné bity brať do úvahy, čo by však malo za následok zníženie rozlíšenia.

Galvanické oddelenie

Je možné, že obvod bude napájaný napätím o inom potenciále ako Master zariadenie (sbRIO 9636), teda nie je možné ich pripojiť na spoločnú zem z dôvodu možného skratu. Galvanické oddelenie pre komunikáciu SPI je realizované integrovaným obvodom **ADUM3151**. IC funguje na báze oddelenia transformátormi, čo umožňuje dosahovať vysoké spínacie rýchlosti až 17 MHz.

Celkovo štyri vysokorýchlostné porty umožňujú použiť dvoch trojdrôtových SPI periférií pri predpoklade spoločných dátových a samostatných CS liniek. NA DPS je miesto pre umiestnenie dvoch separátnych **ADUM3151** pre prípadnú požiadavku vyššej rýchlosti pri vyčítaní z ADC prevodníkov.

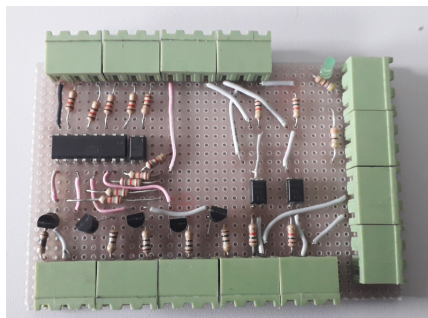


Obrázok 6.6: Meracia doska - layout

Výsledný plošný spoj je na obrázku 6.6. Kompletná schéma a fotografie sú priložené v prílohách.

6.2.4 Doska pre ovládanie signálov

Pre prvotné overenie správnosti signálov bola vytvorená prototypová doska na pájivom poli. Tieto signály sú popísané v sekcii 5.2. V tomto bode ešte nebola simulovaná záťaž od aktuátorov ale bolo pripojené ich skutočné vyhotovenie. Doska mala celkovo päť ovládacích a dva snímacie prvky. Všetky boli galvanicky oddelené pomocou optočlenov.



Obrázok 6.7: Signálova doska - testovacia verzia

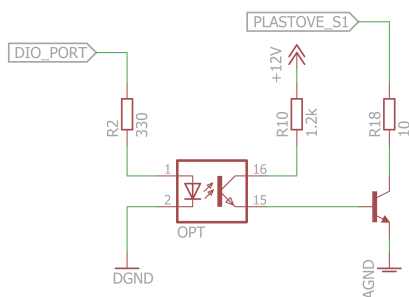
Snímané bolo:

- Napätie na motore zámku
- Napätie na motore príťahovača

Riadiace signály ktoré bolo potrebné spínať, boli nasledovné:

- Gumové tlačidlo S1
- Plastové tlačidlo S1
- Indikátor príťahovača S1
- Indikátor zámku S1
- Indikátor zámku S2

Spínanie signálu bolo realizované obvodom typu Otvorený kolektor. Ovládanie prebiehalo pomocou spínania DIO portov pre zmenu stavu optočlenu aktivujúc tým výkonový tranzistor, ktorý stiahol hodnotu napätia na výstupe do stavu LOW. Takéto zapojenie je zobrazené na obrázku 6.8.



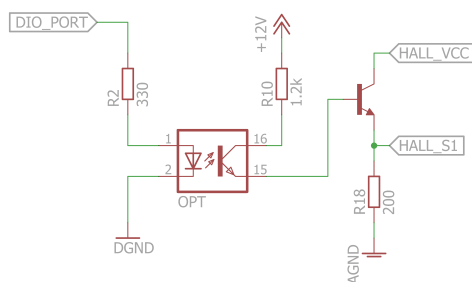
Obrázok 6.8: Obvod otvoreného kolektoru

Snímanie bolo opäť realizované zapojením otvoreného kolektora, pričom spínacím prvkom bolo napätie na danom elemente, ktoré zoplo tranzistor v optočlene. Tento následne ponechal

alebo stiahol napätie na DIO porte.

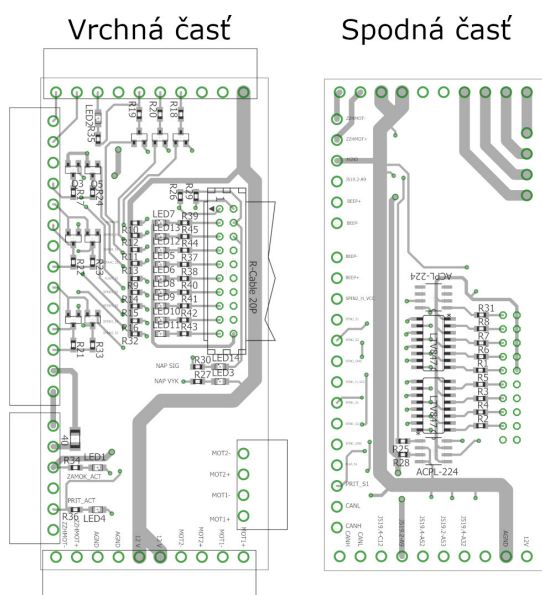
Principiálna funkčnosť prototypovej dosky sa ukázala ako správna, preto došlo k realizácii DPS. Táto obsahovala okrem spínačov a snímačov napätia aj prvky pre simulovanie enkóderových signálov a pre kompletne prepojenie potrebných konektorov, ktoré boli dovtedy realizované pomocou kabeláže a čelných WAGO svoriek.

Vyhotovenie enkóderov v zapojení otvorený kolektor viedlo k chybovým hláškam v R.J. Príčinou tohoto stavu bolo, že RJ detekovala na výstupe enkóderov napätie blízke napájaciemu. Tento problém vyriešilo zapojenie spoločného kolektora podľa obrázka 6.9. Obvod však už nebol realizovaný na hlavnej doske a bol vyvedený na vedľajšiu prototypovú dosku.



Obrázok 6.9: Obvod spoločného kolektora

Galvanické oddelenie DPS tvoria dve dvojice optočlenov. Dva štvorkanálové **TLP293-4** a dva dvojkanálové **ACPL-224**. Signály sú na dosku privedené pomocou 20-žilového plochého kábla. Aktuálny stav vizuálne signalizujú zelené LED diódy. Doska je osadená ďalšími diódami pre zobrazovanie stavu napájania a prítomnosti napätia na motore príťahovača a zámku. Spínanie daných členov je vykonávané NPN tranzistormi **BCW66HR**. Doska je vyhotovená s ohľadom na minimálnu nutnosť privádzania nadbytočných káblov. Kompletná schéma zapojenia sa nachádza v prílohách.



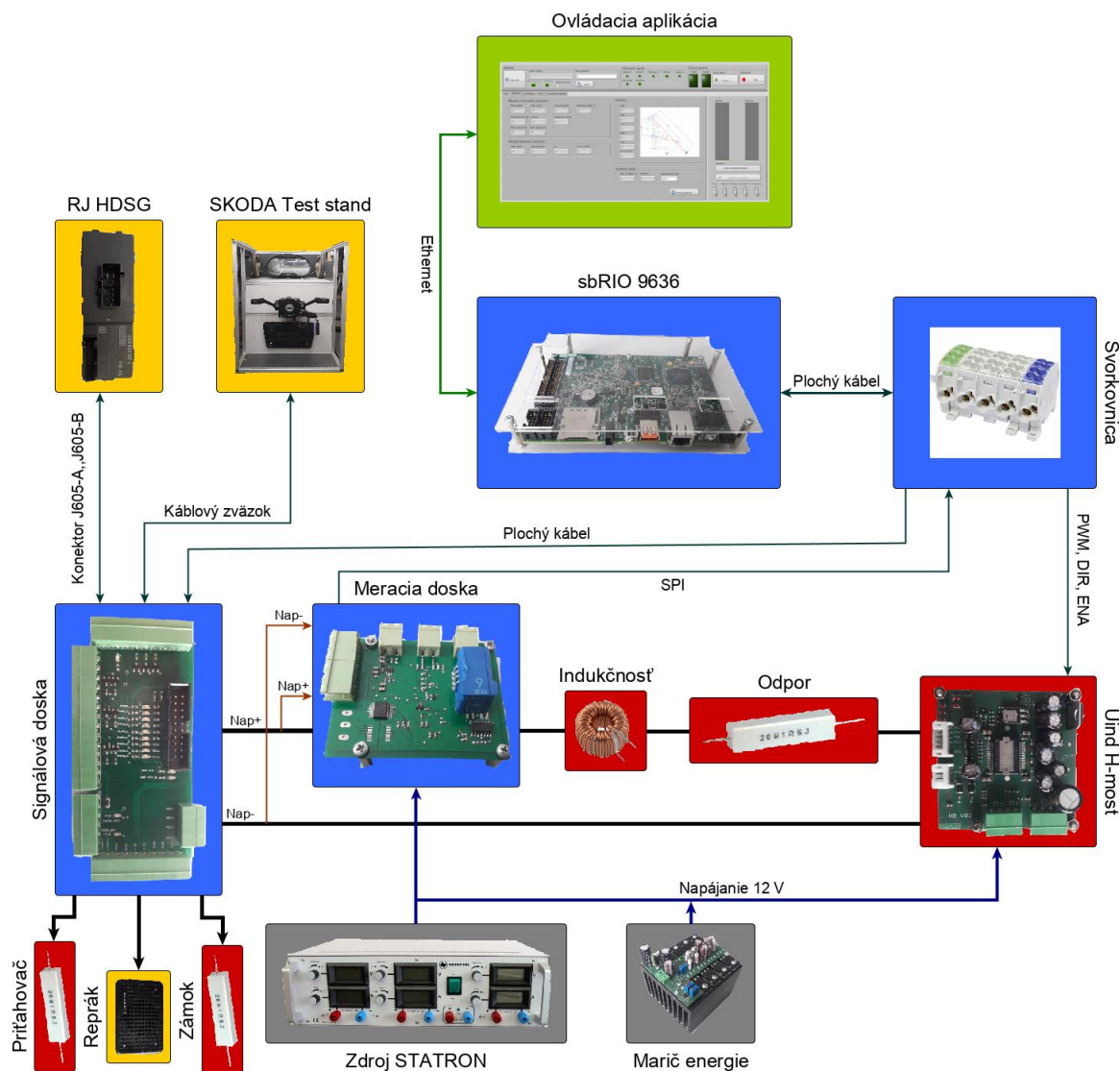
Obrázok 6.10: Signálová doska - layout

6.3.2 Výsledná zostava pre PHIL simulácie

Finálna hardvérová aplikácia je už pripravená na použitie pre testovanie RJ. Jej základ tvoria komponenty popísané v 6.3.1 s odlišnosťou, že momentálne je výkonová časť (označená červenou) pripojená namiesto externého H-mostu k Signálovej doske, za účelom prepojenia vhodného signálu z RJ na jej vstup. Signálová doska zároveň slúži na prepojenie výstupov pre motor Zámku a Pritáhovača s externou záťažou, reprezentovanou rezistorom o konštantnom odpore.

RJ je prepojená so signálovou doskou prostredníctvom dvoch konektorov. Potrebné signály zo SKODA test standu sú na signálovú dosku vyvedené formou káblového zväzku. O vykonávanie zvukových signálov sa stará externý reproduktor.

Signálová doska je ovládaná pomocou plochého kábla vyvedeného na MLW konektor a prepojeného so svorkovnicou. Schéma na obrázku 6.12 sa oproti skutočnosti líši pripojením externého zariadenia, spomenutého v sekcii 6.2.4 pre generovanie signálov z enkóderov, ktoré nebolo implementované na konečný návrh signálovej dosky z časových dôvodov.



Obrázok 6.12: Finálna sústava - schéma

Napájanie výkonovej časti je zabezpečované laboratórnym zdrojom STATRON, z ktorého je napájaná aj Meracia doska. Zdroj musí byť galvanický oddelený od zeme z dôvodu ochrany pred skratom. RJ je napájaná cez SKODA stand, ktorý má napájanie privedené zo siete.

Ovládanie systému je zabezpečené sbRIO-om prepojeným so systémom pomocou svorkovnice. Ovládacia aplikácia je tak ako v 6.3.1 spojená so sbRIO prostredníctvom Ethernet kábla a TCP/IP protokolu.

Je dôležité podotknúť, že návrh výkonovej časti bol koncipovaný pre testovanie jedného aktuátora oproti dvom skutočne požívaným, nakoľko riadenie dvoch záťaží by signifikantne zvýšilo náročnosť úlohy. Aby to mohlo byť toto vykonané, bolo potrebné prehrať nastavenia na RJ HDSG, čo bolo dosiahnuté za pomoci technikov z vývojového centra Škody.

7 Softvér

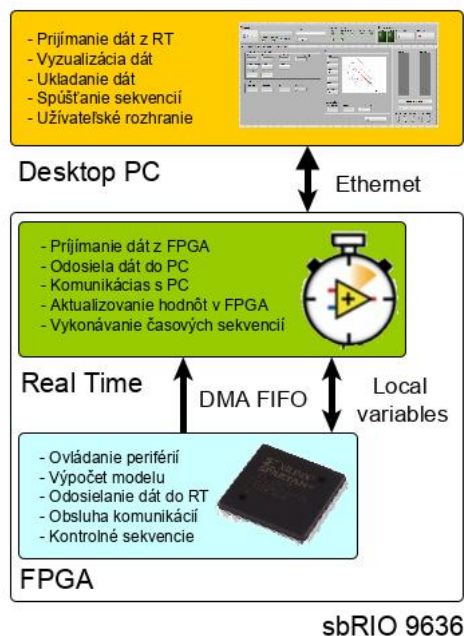
Programovanie FPGA sa vyznačuje špecifikami, ktoré treba mať na mysli od začiatku tvorby aplikácie. Či už sa jedná o viac úrovňovú architektúru alebo rozvrhnutie jednotlivých častí podprogramov. Programovací jazyk G umožňuje grafické programovanie FPGA čipu, čo značne uľahčuje a šetrí čas pri vývoji aplikácie.

7.1 Architektúra programu

Program je koncipovaný do dvoch hlavných častí:

- Real-Time časť (sbRIO)
- Desktop app časť (Host PC)

Obe časti je potrebné programovať osobitne a sú vykonávané na rozdielnych zariadeniach. Aplikácia bežiaca pod sbRIO-m je koncipovaná do dvoch podčastí pre FPGA a RT systém. Každá vrstva je vhodná pre obsluhu inej časti programu. Grafické znázornenie architektúry zobrazuje obrázok 7.1.



Obrázok 7.1: Architektúra programu

Desktopová aplikácia

Užívateľ má vo väčšine aplikácií prístup iba k vrchnej vrstve, ktorá je spúšťaná na Host PC a mala by disponovať prehľadným GUI pre ovládanie a riadenie celého programu. Táto časť je vhodná pre umiestnenie časovo nekritického spracovania dát a ich manipulácii. Komunikácia s RT zariadením je zabezpečovaná pomocou Ethernetového pripojenia a TCP/IP protokolu.

RT program

Prostredie RT sa od desktop aplikácie líši hlavne determinizmom deja a presným časovaním sekvencií. Aplikácia môže v jednoduchých prípadoch obsahovať GUI (odpadáva tým tvorba desktopovej aplikácie), ale vo väčšine prípadov sa to neodporúča a zobrazovanie veľkého množstva dát môže spôsobiť chybu a neodpovedanie programu. RT vrstva je vhodná ako medzi komunikačný prvok a jediný spôsob akým, je priamo možné pristupovať k FPGA vrstve. Narozdiel od FPGA vrstvy RT neposkytuje možnosť rýchleho časovania a disponuje frekvenciami do **2 kHz**.

FPGA program

Najspodnejšou vrstvou celého programu je FPGA časť. Jej programovanie si vyžaduje základnú znalosť embedded systémov a musí sa k nemu pristupovať systematicky vzhľadom na obmedzený výkon. Úlohou tejto vrstvy je rýchly prístup k perifériám a vysoká výpočtová rýchlosť, čo ju robí vhodnou pre RT simulácie a ovládanie pripojeného hardvéru. FPGA komunikuje s RT systémom pomocou DMA-FIFO, alebo prístupom k jednotlivým pamätiam cez Local Variables. Nové zariadenia disponujú aj pokročilejšími metódami pre prístup do pamätí.

7.2 Realizácia softvéru

Podobne, ako je načrtnuté v sekcii 7.1, aj výsledná aplikácia je vyhotovená z troch vrstiev. Ich realizácia a obsah bude popísaný v nasledujúcich sekciách postupujúc pritom z dola nahor.

7.2.1 FPGA program

Prímárnou funkciou FPGA programu je výpočet modelu DC motora a správne ovládanie Hmosta pre vykonanie adekvátneho akčného zásahu. Pri tvorbe programu je zachovaný paralelizmus a samostatné deje sú oddelené do separačných cyklov s determinizmom časovania. Program zároveň obsahuje cyklus pre ovládanie portov z prostredia RT a samostatne cykly, ktoré spúšťajú/zastavujú výpočet programu.

Model DC motora

Model DC motora bol počítaný pomocou rovníc 2.1 a 2.3. V rovnici 2.3 M_z zastupuje príspevok od trenia aj od statickej záťaže spôsobenej váhou kufra. Pri momente zotrvačnosti J sa takisto uvažuje o redukovanom momente vzhľadom k hriadeľu DC motora. Statický moment a redukovaný moment zotrvačnosti sú vzťahované k aktuálnemu vysunutiu aktuátorov a ich realizácia je formou Look-up tabuliek počítaných offline (7.2.3).

Výpočet modelu je ovládaný pomocou kontrolného signálu, ktorý udáva vhodnosť počítania modelu. Takisto je možné po zopnutí správneho signálu aktualizovať hodnotu aktuálnej pozície. Pre model sú určené dve výpočtové frekvencie **250 kHz** a **500 kHz**, pričom voľbu je možné previesť bez nutnosti novej kompilácie kódu. Maximálna frekvencia dosiahnuteľná pri výpočte

by mohla byť až **2.5 MHz**, avšak to by viedlo k presnejším formátom premenných, teda aj k zvýšeniu výpočtovej náročnosti a možnej numerickej chybe v dôsledku nepresností v zaokrúhľovaní.

Zvolená numerická metóda pre výpočet programu bola Eulerova v dôsledku dostatočne malého kroku pre jej presné použitie a nízkej výpočtovej náročnosti. Rovnice 2.1 a 2.3 prevedené do numerického výpočtu majú nasledovný tvar:

$$di(t) = \frac{dt}{L_a} \cdot (U(t) - R_a i(t) - U_i(t)) \quad (7.1)$$

$$d\omega(t) = \frac{dt}{J} \cdot (M(t) - M_z(t)) \quad (7.2)$$

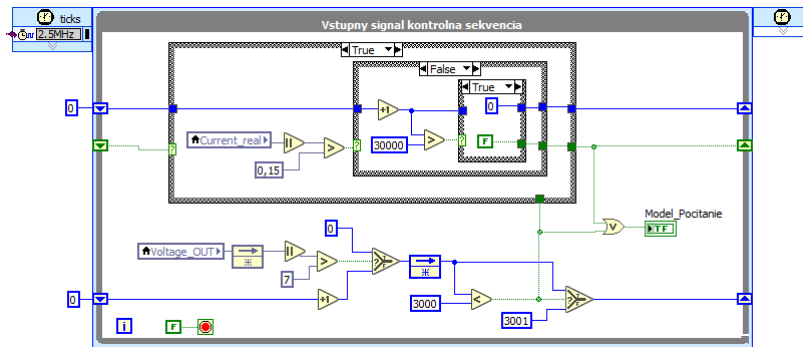
$$i(t+1) = i(t) + di(t) \quad (7.3)$$

$$\omega(t+1) = \omega(t) + d\omega(t) \quad (7.4)$$

K modelu je zároveň pridaná sekcia regulátorov kde sa za pomoci **FF** a **PID** regulátora dopočítava akčný zásah pre H-most. Celkový pohľad na tento subsystem nebude v grafickej forme do diplomovej práce vložený v dôsledku jeho zložitosti a nízkej výpočtovej hodnoty.

Kontrolná sekvencia

Aby sa zamedzilo počítaniu modelu z nameraného šumu v čase, keď na vstupe nie je privedené žiadne napätie bola zavedená kontrolná sekvencia.



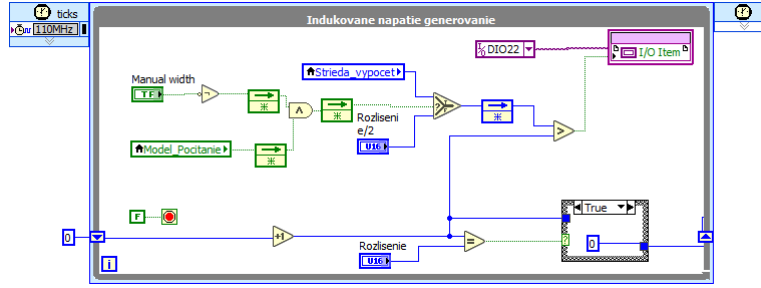
Obrázok 7.2: Program kontrolnej sekvencie

Tento kód sníma vstupné napätie od RJ a v prípade, že jeho hodnota presiahne $|U_{in}| > 7$, značiac tým aktivitu, do premennej *Model_Pocitanie* je vložená hodnota TRUE, ktorá riadi počítanie modelu. Hodnota premennej ostáva nezmenená až pokiaľ vstupné napätie neklesne po určitú dobu pod požadovanú úroveň a zároveň $|i(t)| > 0.15$ je pravda minimálne raz za 1ms. V prípade vzájomného nesplnenia podmienok premenná *Model_Pocitanie* nadobúda hodnotu FALSE a simulátor prechádza do nečinného stavu.

Generovanie indukovaného napätia

Potreba generovania presného a vysokofrekvenčného napätia znamenala vytvorenie samostatného cyklu, ktorý obsahuje iba ovládanie H-Mostu spomenutého v sekcii 6.2.1. Z dôvodu,

aby sa neprerušil obvod a RJ nedetekovala chybu, musí byť H-most s neustále zapnutým PWM pinom, pričom stredná hodnota $U_{ind} = 0$. Hodnota a polarita napätia je riadená DIR pinom.

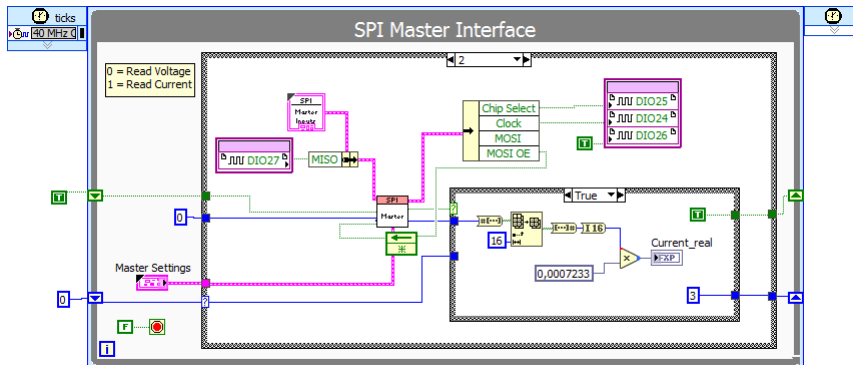


Obrázok 7.3: Program generovania indukovaného napätia

Cyklus je realizovaný formou inkrementálneho čítača porovnávaného s hodnotou reprezentujúcou striedu. Keď čítač dosiahne maximálnu hodnotu je vynulovaný a dej začína odznova. Maximálnu hodnotu akú môže dosiahnuť, reprezentuje premenná *Rozlisenie*. Jej zmenu možné vykonať z prostredia GUI a tým pozmeniť frekvenciu generovaného PWM. Hodnota je prednastavená na 400, pričom v tomto stave má indukované napätie frekvenciu **275 kHz**. V nečinnom stave generujeme $Rozlisenie/2$, čo reprezentuje $s = 0$. Činný stav generuje napätie o striede danej premennou *Strieda_vypocet* teda výstupom z regulátoru.

SPI komunikácia

Vyčítavanie hodnôt zo senzorov je zabezpečované pomocou SPI komunikačného protokolu. Celkovo sú dáta vyčítavané z dvoch senzorov, ktoré majú zdieľanú linku hodín a dát.



Obrázok 7.4: Program pre SPI komunikáciu

Pre používanie programu je potrebné zadať porty, na ktorých prebieha komunikácia. Trojdrôtové SPI nepoužíva port MOSI, teda môže byť využitý ako dodatočný CS port. Frekvenciu hodín určuje $divider = 0, 1, 2, 3..$ pričom frekvencia nadobúda hodnoty:

$$f_{SPI} = \frac{f_{clk}}{2(divider + 1)} \quad (7.5)$$

Prednastavená hodnota $divider$ v programe je 1, teda $f_{SPI} = 10\text{MHz}$. Takéto nastavenie nám umožňuje vyčítavať z každého senzora dáta o frekvencií približne **250 kS/s**. Výslednú hodnotu zo senzora je potrebné ešte vynásobiť príslušnou konštantou, ktorá nám udáva prevod

medzi bitovou a reálnou hodnotou. Knižnica pre SPI bola získaná cez LabVIEW Tools Network.

Ostatné subsystémy

Nepopísaný zvyšok programu tvoria subsystémy pre generovanie signálov z enkóderov, postupnú zmenu pozície, odosielanie dát do RT a ovládanie niektorých portov z prostredia RT. Podrobný opis z dôsledku rozsahu nie je možný, ale súbory je možné nájsť v elektronickej prílohe.

Využitie pamäte a časovanie

	Celkový počet	Počet využitých	Percent
Počet blokov	6 822	6 390	93.7
Počet registrov	54 576	12 388	22.7
Počet LUT	27 288	18 873	69.2
Počet DSP48	58	58	100
Bloky RAM pamäte	116	19	16.4
DSP48s	58	58	100

Tabuľka 7.1: Využitie pamäte FPGA čipu

Žiadaná rýchlosť (MHz)	Maximálna rýchlosť (MHz)
40	64.75
110	136.04
2.5	6.84

Tabuľka 7.2: Časovanie FPGA čipu

Uvedené tabuľky poukazujú že FPGA čip má dodatočné možnosti pre zrýchlenie alebo pre väčšiu zložitosť programu. Aj keď celkové využitie 93.7 % sa môže zdať ako veľké, program by mohol ešte prejsť optimalizáciou dátových typov, ktoré by toto využitie mohla výrazne znížiť.

7.2.2 RT program

Z hľadiska programovania má aplikácia pre RT jednoduchšiu štruktúru ako FPGA, čo je hlavne spôsobené možnosťou používať pokročilejšie nástroje a skoro všetky knižnice LabVIEW. Stavba programu je rozdelná do troch častí:

- Odosielanie dát do Desktop app
- Prijímanie príkazov z Desktop app

– Obsluha sbRIO

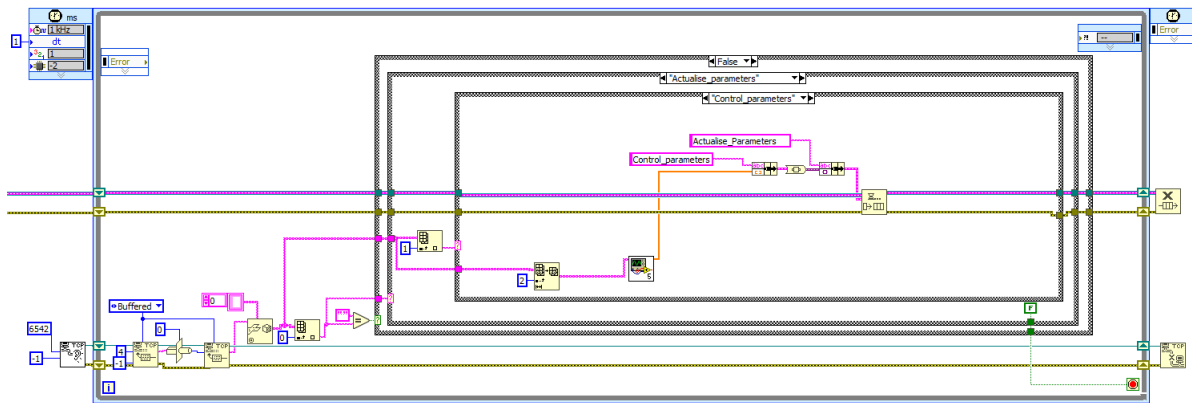
Všetky časti bežia v paralelných dejoch a nemali by sa vzájomne ovplyvňovať. Na samotnom začiatku je potrebné načítať skompilovaný bitfile, ktorý sa nahrá do FPGA čipu a umožňuje nám ovládať naprogramovanú funkcionality.

Odosielanie dát do Desktop app

Cyklus je realizovaný na základe TCP/IP protokolu. Na začiatku prebieha inicializácia pripojenia z pohľadu zapisovateľa. Po tom, čo je inicializovaný prebieha konštantné vyčítavanie dát z FIFO registrov a ich kontinuálne posielanie cez ethernet. Dáta sú odosiadané v dvoch paketoch, pričom prvý značí ich dĺžku v bajtoch a v druhom sú následne odoslané. Pre spoľahlivé fungovanie musíme na strane prijímača vedieť ako má odoslaný dátový typ vyzerieť.

Prijímač dát z Desktop app

Prijímač dát funguje podobne ako vysielateľ, opäť sa najprv čaká na inicializovanie spojenia. Po jeho nadviazaní sa prechádza do módu konštantného počúvača. Pred začatím vysielania musí byť jasne definovaná štruktúra a názvy príkazov, ktoré sa môžu odosielať.



Obrázok 7.5: Prijímač príkazov z PC

V našom prípade sú dáta posielané ako pole stringov, pričom na prvom mieste sa nachádza meno príkazu. Na jeho základe sa dáta identifikujú a sú následne spracované podľa požiadaviek daného príkazu. Celý je zakončený tvorbou nového formátu pokynu, ktorý je vložený do fronty a odoslaný do ďalšieho cyklu, v ktorom sú spracované konkrétne hodnoty/požiadavky. V prípade nesprávneho formátu príkazu zariadenie nevykoná žiadnu akciu.

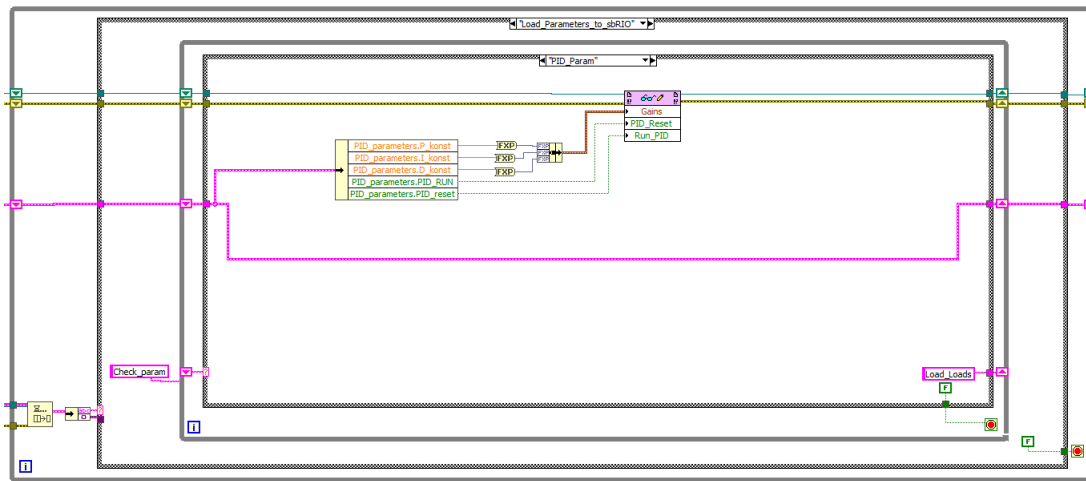
Obsluha sbRIO

Základom obsluhy sbRIO je nekonečný while cyklus, ktorý prijíma podnety z fronty. Rovnako ako pri Ethernetovom prepojení, aj fronta musí mať vopred definovaný formát správy. Vo všeobecnosti je tento formát definovaný ako:

- Názov príkazu (string)
- Obslužné dáta (variant)

Dôležitosť predefinovaného formátu je nevyhnutná hlavne pri transformovaní premennej typu variant do použiteľných dát, kde je potrebné poznať ich štruktúru. Tentokrát je postačujúce zadať protokol na úrovni programu a nie je potrebné jeho určenie medzi separátnymi zariadeniami.

Medzi hlavné úlohy tohoto cyklu je aktualizovať premenné pre výpočet modelu v FPGA, riadenie otváracích a zatváracích sekvencií, ovládanie posúvacích sekvencií aktuátorov a ukončenie programu.



Obrázok 7.6: Obsluha sbRIO

7.2.3 Desktopová aplikácia

Hlavná a jediná prístupná vrstva pre bežného užívateľa je aplikácia bežiaci na desktopovom počítači. Jej prioritnou úlohou je zabezpečiť pohodlné ovládanie a prehľadné zobrazovanie výsledkov počas testovania. Aplikácia zvyčajne beží na externom zariadení s komerčným operačným systémom, ku ktorému je pripojená RT jednotka. Nevýhodou je, že determinizmus tejto komunikácie môže byť značne obmedzený okolitými faktormi, preto sa desktopová aplikácia nehodí na deje spojené s presným časovaním alebo riadením kritického deja.

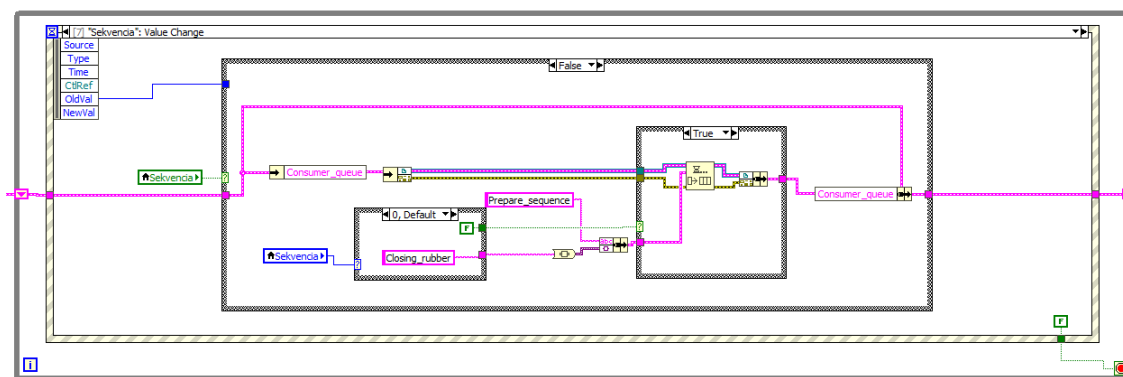
Aplikácia je koncipovaná do troch hlavných častí:

- Obsluha GUI
- Prijímanie dát z RT
- Obsluha programu (Ukladanie dát, Výpočet hodnôt, Filtrácia dát, Odosielanie príkazov do RT)

Všetky tieto deje bežia paralelne a vzájomne sa neovplyvňujú. Samotný chod programu nie je závislý na prítomnosti sbRIO zariadenia a niektoré funkcie sú prístupné aj bez jeho prítomnosti.

Obsluha GUI

Veľké množstvo tlačidiel a ovládacích prvkov prináša so sebou potrebu použitia Event Structure pre ich obsluhu, ktorá umožňuje rôzne spätné väzby na užívateľské vstupy. Každý užívateľský vstup je potrebné separátne naprogramovať. Jeho zavolanie spustí konkrétnu štruktúru, ktorá vykoná naprogramovaný dej, alebo vloží príkaz do fronty. Tento cyklus by sa nemal používať pre spracovanie veľkého množstva dát alebo pre vykonávanie dlhších dejov.



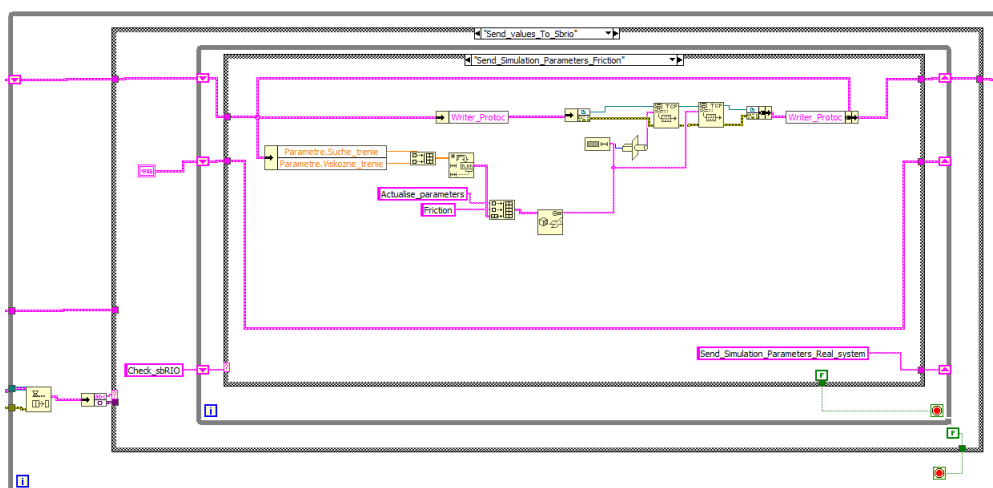
Obrázok 7.7: Event Structure pre obsluhu UI

Prijímanie dát z RT

Pre prijímanie dát je potrebné nadviazanie komunikácie s RT. Po prijatí signálu k započatiu deja sa cyklus prepne do bodu počúvača a snaží sa inicializovať sekvenciu. Jej úspešné vykonanie spustí kontinuálne vyčítavanie dát, ktoré sú v danom cykle aj vyobrazované. V prípade odpojenia alebo ukončenia prijímania je port pre vyčítavanie dát automaticky ukončený a cyklus prejde do stavu čakania na nové pripojenie. Ukladanie dát neprebíha v tomto cykle ale sú prostredníctvom fronty odosielané do ďalšieho cyklu.

Obsluha programu

Obsluha časovo náročných dejov a komunikáciu s RT zabezpečuje cyklus na obrázku 7.8. Jeho hlavným ovládacím prvkom je fronta, ktorá má identický formát, ako bol spomenutý v sekcii 7.2.2. Cyklus zabezpečuje skoro celý chod programu, či už počítanie statických parametrov pre simuláciu ale aj ukladanie dát a komunikáciu so sbRIO. Pomocné dáta sú medzi iteráciami zachovávané cez "Posuvné Registre".



Obrázok 7.8: Obsluha programu

Dôležitou súčasťou tohto cyklu je výpočet statických parametrov, ktoré sú potrebné pre simuláciu. Spôsob a rovnice ich výpočtu boli prevzaté z práce uvedenej v sekcii 2.5.4. Implementácia rovníc prebieha pomocou MathScript Node, ktorý je súčasťou LabVIEW a umožňuje vkladať kusy Matlabovského kódu priamo do blokového diagramu, čím sa minimalizuje možná

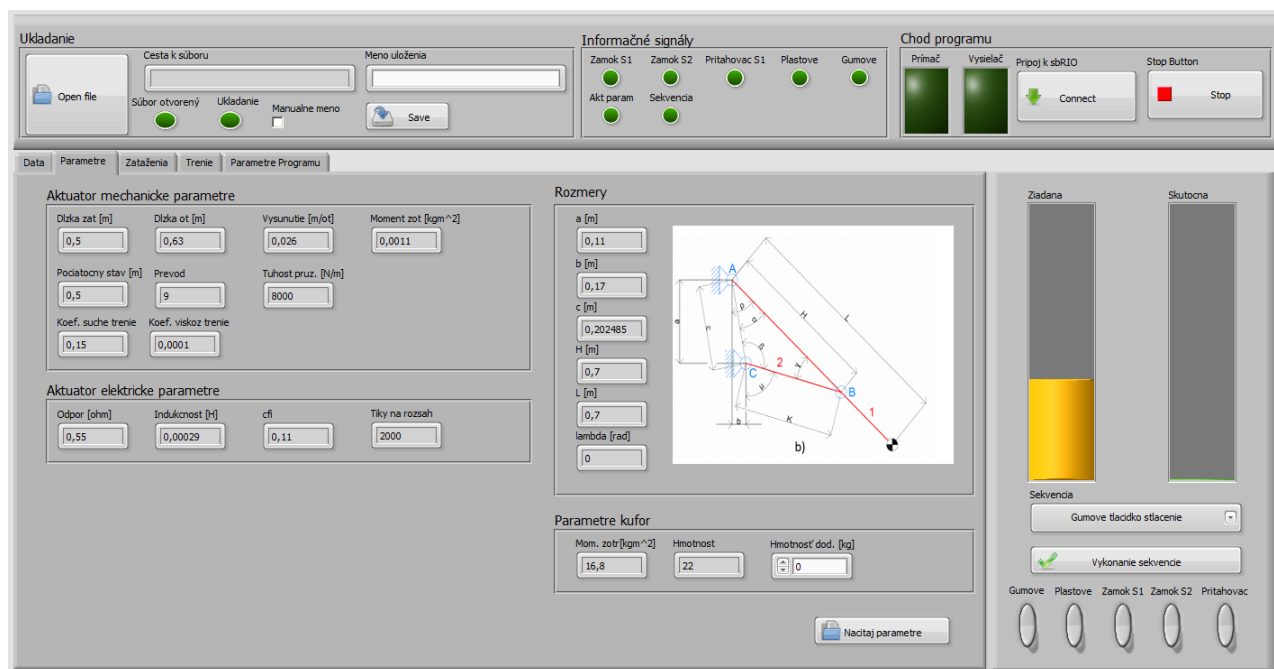
chyba spôsobená prekladom skriptu do G jazyka. Prevzatý skript musel byť upravený pre potreby sbRIO a simulácie. Použité rovnice popisujú 2D model, nakoľko popis 3D modelu bol zbytočne zložitý a neprinášal signifikantné zlepšenie. Koncept vychádza z predpokladu simulácie pre jeden aktuátor, preto sú aj výsledné hodnoty upravené tak, aby reprezentovali polovicu celkového zaťaženia a teda adekvátnu hodnotu pôsobiacu na daný element.

Vstupné parametre pre potreby modelu popisujúce geometriu piatych dverí sú načítavané z osobitného textového súboru. Takisto je implementovaná aj možnosť zaťaženia dverí záťažou o určitej hmotnosti. Stojí za pripomenutie, že tieto výpočty je potrebné vyhotoviť pred simuláciou a nemôžu byť menené online.

Dáta sú ukladané do súboru formátu .TDMS, vyvinutým firmou NI pre účely kompresného ukladania veľkého objemu dát. Zoznam uložených dát má stromovú štruktúru, kde identifikačným nástrojom je "Meno skupiny", pod ktorým je možné nájsť namerané dáta. Signály sú ukladané ako Waveform, teda s fixným časovým krokom, čím odpadá nutnosť skladovania časového kanálu. Meno skupiny je možné meniť z GUI, ale názvy signálov sú programovo preddefinované.

Grafické rozhranie

Priehľadnosť a prítlačivosť grafického rozhrania rozhoduje v komerčnej sfére častokrát o úspešnosti aplikácie/projektu. Vytvorené GUI je zobrazené na obrázku 7.9.



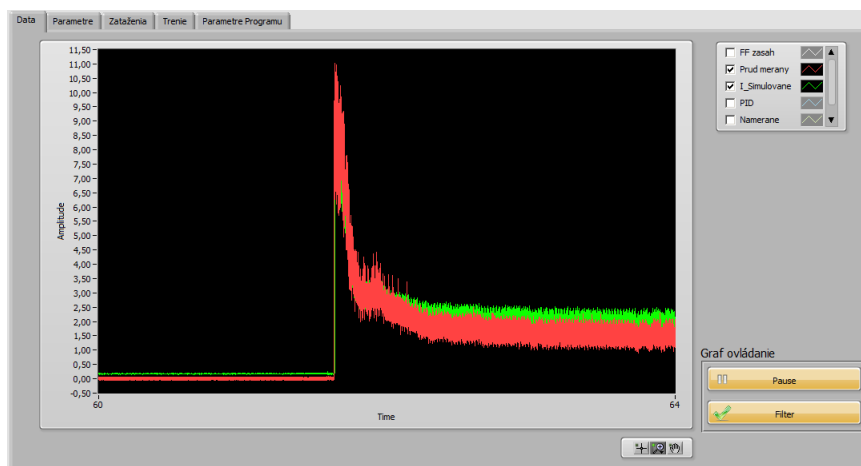
Obrázok 7.9: Grafické rozhranie

Vrchná časť umožňuje užívateľovi ovládať ukladanie dát. Užívateľ je pred ukladaním nútený vybrať lokalitu a názov súboru, do ktorého budú dáta ukladané. Pri mene skupiny je možný vlastný výber alebo automatická voľba. Vrchná karta ďalej obsahuje informačné signály signalizujúce súčasný stav riadiacich hodnôt RJ a činnosť programu. Záverečnou úlohou lišty je umožniť užívateľovi pripojiť/odpojiť sa k sbRIO a ukončiť činnosť celého programu.

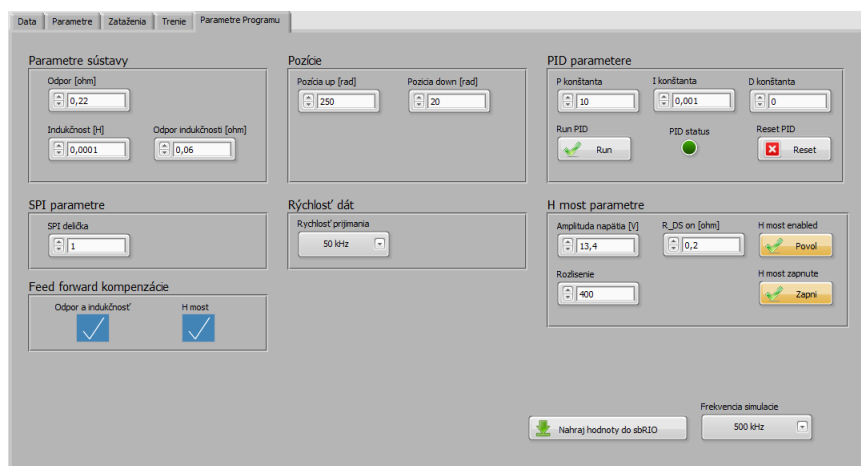
Manuálne ovládanie piatych dverí a ich funkcií je vykonávané prostredníctvom časti napravo. Posuvné ovládače označujú žiadanú a skutočnú hodnotu, pričom k posuvu dochádza iba pri zmene vykonanej na žiadanej polohe. Panel obsahuje manuálne spínače pre ovládanie

všetkých kontrolných signálov RJ. Pre ich ovládanie musí byť nastavená sekvencia: "Manuálne ovládanie dverí". Vykonanie automatizovanej otváracej sekvencie obsahuje výber možnosti „Gumové tlačidlo stlačenie“ a "Plastové tlačidlo stlačenie". Plastové tlačidlo nereaguje v prípade, že je kufor v zatvorenom stave.

Poslednou časťou je ovládací panel s prepínateľnými kartami. Jeho funkcia je prioritne informatívna. Na obrázku 7.9 je časť, kde sú zobrazené definované parametre s geometriou zadných dverí. Medzi ďalšie funkcie patrí zobrazenie statických charakteristík zaťažovania, dát a nastavenie parametrov behu programu.



Obrázok 7.10: Zobrazenie prijatých dát



Obrázok 7.11: Nastaviteľné parametre programu

Zobrazované dáta pochádzajú z DMA kanálov, ktoré vyčítavame v RT prostredí a sú odosielané do desktop aplikácie. Dáta je možné zastaviť, prípadne je možné pri meraní prúdu pristúpiť k digitálnej filtrácii. Medzi parametre programu, ktoré je možné meniť z GUI, patrí rýchlosť simulácie, prichádzajúcich dát, spôsoby riadenia, parametre **PID** regulátora, limity otvárania kufra a parametre reálnej sústavy, na ktorej je vykonávaná simulácia.

8 Výsledky PHIL simulácií

Predchádzajúce kapitoly popisovali tvorbu PHIL simulátora pre RJ HDSG. Pre overenie správnosti navrhnutých riešení je potrebné pristúpiť k poslednému kroku a to k verifikácii dát na reálnej sústave. Tento dej prebiehal v dvoch krokoch. Ako prvé bolo testované riadenie za pomoci simulovanej RJ, ktorá bola realizovaná Externým H-mostom. Po tom, čo bol overený vhodný spôsob riadenia, sa simulátor použil pre reálnu RJ.

8.1 Simulácia záťaží s externou RJ

Vývoj nového produktu sa málokedy zaobíde bez komplikácií, preto je vhodné overiť čiastočne realizované časti a ich funkcionality. Pri vývoji riadenia bol ako prvý otestovaný model RL článku, čo je adekvátna náhrada zabrzdeného DC motora. Následne sa prešlo k realizácii celého modelu DC motora s konštantnou mechanickou záťažou. Pre generovanie napätia na vstupe bol použitý H-most zapožičaný v Mechlab-e. Schéma zapojenia bola identická s tou na obrázku 4.6, pri použití reálnych komponentov a je zobrazená na obrázku 6.3.1.

Výhodou tejto metódy bola možnosť odskúšať veľké množstvo testovacích stavov bez nutnosti správne simulovať ostatné veličiny (Hall signály, spúšťacie sekvencie) a test bolo možné realizovať pri rôznych veľkostiach prúdu. Testovanie sa zameralo hlavne na priebehy v ustálenom stave ($d\omega = 0$), pričom pozorovaná bola stredná hodnota a zvlnenie prúdu.

8.1.1 Zvlnenie prúdu pri RL článku

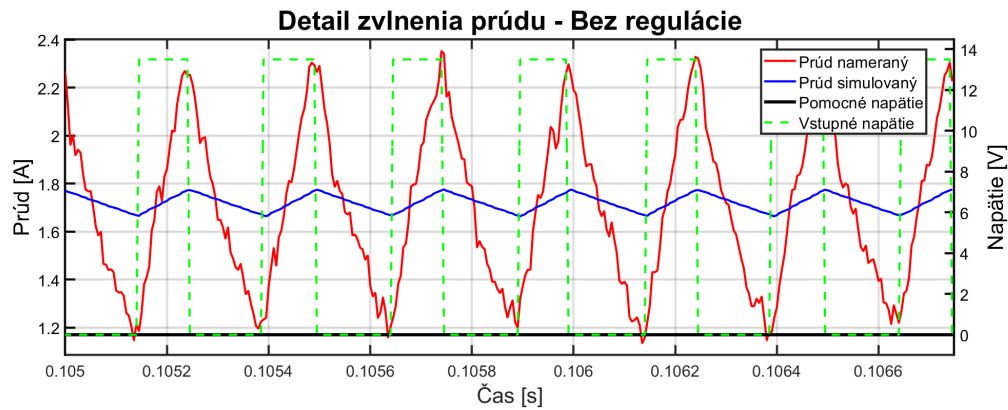
Prvým testom bola analýza riadenia na zvlnenie prúdu. Test prebiehal na simulovanom RL článku. Napätie na vstupe nebolo snímané, ale informácia o ňom prichádzala z programu, keďže H-most pre generovanie vstupného napätia bol riadený z identického prostredia. Informácie o jeho amplitúde bolo potrebné nastaviť dopredu.

Pre zjednodušenie celej simulácie a zameranie sa iba na zvlnenie prúdu bola simulovaná hodnota odporu identická s reálnou sústavou $\mathbf{R}_{\text{skut}} = \mathbf{R}_{\text{sim}} = 3\Omega$. Cievka zaradená v obvode mala indukčnosť $\mathbf{L}_{\text{skut}} \doteq 0.33\text{mH}$. Simulovaná hodnota indukčnosti sa volila ako $\mathbf{L}_{\text{sim}} = 15 \cdot \mathbf{L}_{\text{skut}} = 5\text{mH}$. Zásah \mathbf{FF} regulátora je v tomto príklade identický s rovnicou 4.10 s tým že v \mathbf{U}_{pom} je vynechaný člen \mathbf{U}_{ind} . Frekvencia vstupného napätia \mathbf{U}_{Uin} bola 3kHz a strieda $\mathbf{s} = 0.3$.

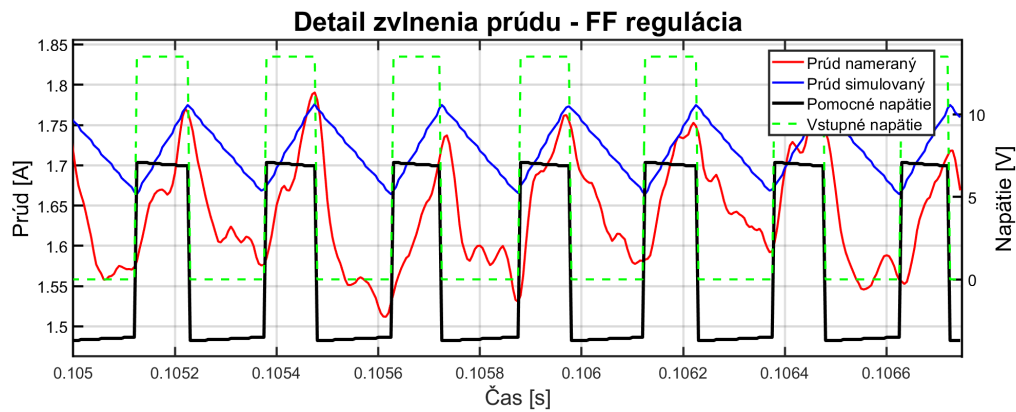
Výsledky zobrazujú obrázky 8.1 až 2.3. Meranie bolo uskutočnené trikrát pri rozdielnom spôsobe regulácie. Obrázok 8.1 zobrazuje zvlnenie prúdu bez použitia regulátora. Hodnoty zvlnenia prúdu pre nameraný $\Delta \mathbf{I}_{\text{mer}} \doteq 1.15\text{A}$ a pre simulovaný $\Delta \mathbf{I}_{\text{sim}} \doteq 0.12\text{A}$ sú približne zhodné s teoretickými podľa rovnice 2.8.

Obrázok 8.2 vyobrazuje priebeh prúdu pri použití \mathbf{FF} regulácie. Tento stav bolo možné dosiahnuť čisto na základe modelu a regulácie bez spätnej väzby. Skutočná realizácia by bola trochu zložitejšia, keďže obvykle nemáme k dispozícii informáciu o vstupnom napätí bez toho, aby sme ju zmerali. Problémom tohoto priebehu je nezhodujúca sa stredná hodnota prúdu, čo mohlo byť zapríčinené nesprávnou identifikáciou sústavy, na ktorej bolo zariadenie testované.

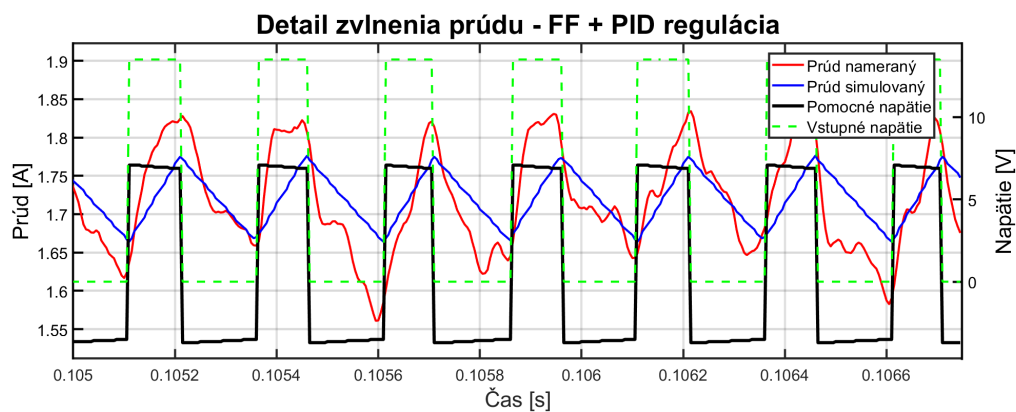
Zvlnenie nameraného prúdu $\Delta I_{\text{mer}} \doteq 0.23\text{A}$ sa oproti meraniu bez regulácie výrazne zlepšilo.



Obrázok 8.1: Zvlnenie prúdu bez regulácie



Obrázok 8.2: Zvlnenie prúdu za použitia FF regulácie



Obrázok 8.3: Zvlnenie prúdu za použitia FF + PID regulácie

Posledné meranie bolo uskutočnené s použitím paralelných **FF** a **PID** regulátorov. Výsledok je vyobrazený na obrázku 8.3. Ako je možné pozorovať, okrem zvlnenia prúdu je zhodná aj jeho stredná hodnota. Tento spôsob regulácie je možné označiť za najefektívnejší, keďže **PID**

dokáže vyregulovať prípadné nepresnosti v generovaní napätia a bez **FF** by nebolo možné presne regulovať zvlnenie prúdu. Pri veľkosti zvlnenia prúdu meranej sústavy nedošlo k výrazným zmenám oproti **FF** regulácii.

Jednotlivé výsledky sú medzi sebou porovnané na základe RMS hodnoty.

Typ regulácie	RMS
Bez regulátoru	0.322
FF regulácia	0.103
FF + PID	0.064

Tabuľka 8.1: RMS regulácií pri RL článku

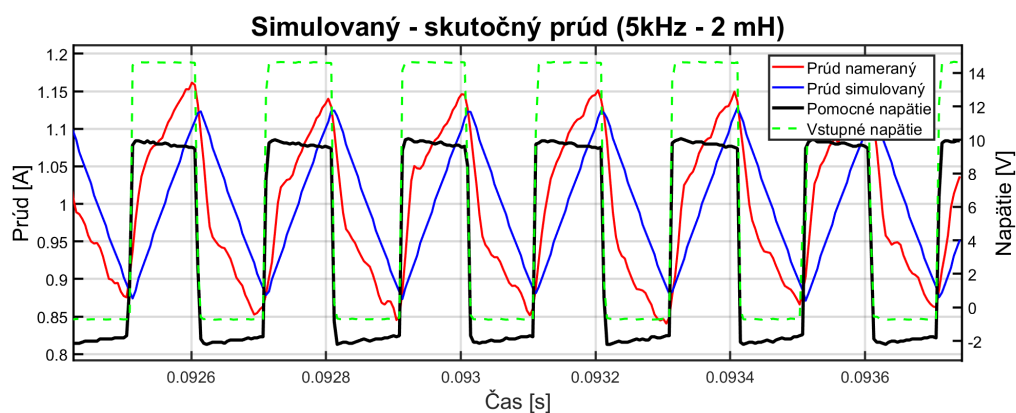
Možnosť bez regulátora bola do výsledkov zaradená z dôvodu možnej regulácie na strednú hodnotu prúdu, bez pokusu o ovplyvňovanie veľkosti jeho zvlnenia. Jednoznačne najlepší výsledok je dosiahnutý pri kombinácii **FF+PID** regulátora, čo bolo očividné z vyobrazených grafov.

8.1.2 Zvlnenie prúdu pri DC motore

Test bol vykonaný na podobnej sústave ako v predchádzajúcom prípade, namiesto modelu RL článku bol použitý model DC motora, ktorý bol zaťažovaný konštantnou mechanickou záťažou. Rozdiel oproti predchádzajúcemu prípadu bol aj v spôsobe merania, kde hodnota vstupného napätia nebola zobratá z modelu, ale bola meraná na výstupe vstupného H-mostu.

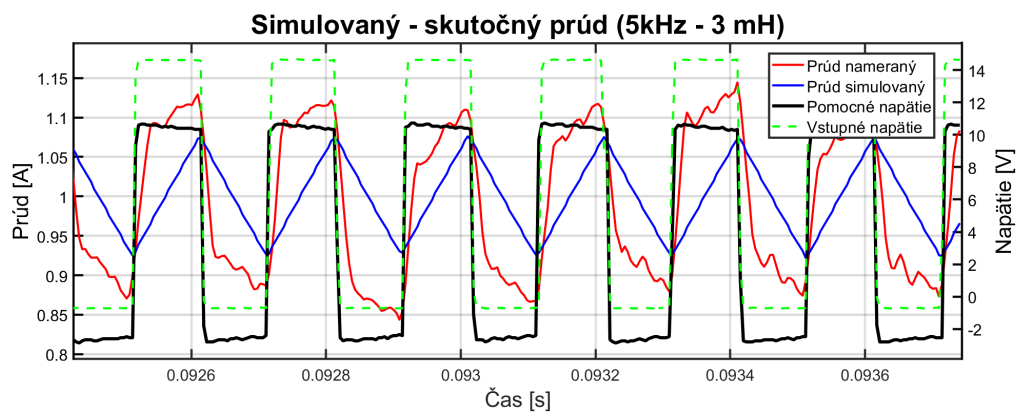
Simulácia bola vykonávaná na sústave o parametroch $R_{skut} = 2.6\Omega$, $R_{sim} = 5\Omega$ a $L_{skut} = 0.33mH$. Simulované boli celkovo štyri deje na dvoch rôznych frekvenciách vstupného napätia **5** a **10 kHz**. Simulované boli dva DC motory o indukčnosti $L_{sim} = 2mH$ a $L_{sim} = 3mH$. Regulátor použitý v tomto meraní sa skladal z **PID** a **FF** časti odvodených v kapitole 4.

Výsledky sú vyobrazené na obrázkoch 8.4 až 8.7. Za uspokojujúci je možné považovať iba priebeh pri 8.4, kde je zvlnenie prúdu dodržané. Ostatné priebehy majú amplitúdu zvlnenia skutočného prúdu značne nad simulovaný dej.

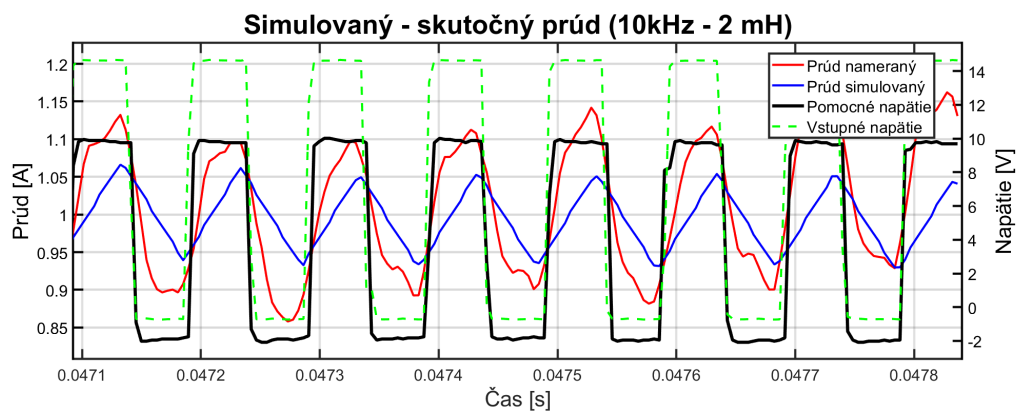


Obrázok 8.4: Zvlnenie prúdu pri frekvencií 5 kHz - 2 mH

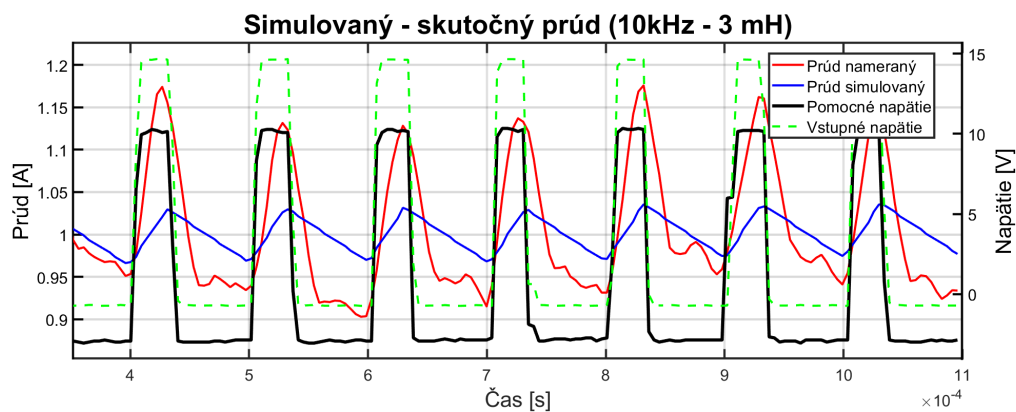
Nadpriemerne zvlnenie prúdu je prioritne z dôvodu neskorej reakcie regulátora. Tentokrát už nie je bratá aktuálna hodnota vstupného napätia z vnútra programu, ale musí byť najprv



Obrázok 8.5: Zvlnenie prúdu pri frekvencií 5 kHz - 3 mH



Obrázok 8.6: Zvlnenie prúdu pri frekvencií 10 kHz - 2 mH



Obrázok 8.7: Zvlnenie prúdu pri frekvencií 10 kHz - 3 mH

nameraná. Toto vytvára priestor pre "dopravné meškanie" spôsobené aktualizáciou hodnoty cez niekoľko dejov. Pri rýchлом deji (**10 kHz**) je navyše veľkosť zvlnenia simulovaného prúdu taká malá, že zvýšenie prúdu spôsobené zlou reguláciou je už značne nad požadovanou hodnotou a teda akýkoľvek zásah je už neúčinný.

8.2 Možnosti simulácie indukčnej záťaže

V sekcii 8.1 boli ukázané príklady simulácie indukčnej záťaže. Jej schopnosť presného napodobenia závisí prioritne na rozdiel veľkostí skutočnej a simulovanej cievky. Kľúčovým faktorom simulácie je aj časová konštanta τ simulovaného LR článku, ktorá by nemala byť signifikantne menšia ako časová konštanta skutočných komponentov. Väčšie konštanty sú minimálne, čo sa týka strednej hodnoty prúdu simulovateľne spoľahlivo.

Zvlnenie prúdu vychádza z rovnice 2.8. Ako je poukázané, jeho amplitúda závisí od vstupnej frekvencie, indukčnosti a amplitúdy vstupného napätia. Pri predpoklade rovnosti U_d a f dostávame:

$$\Delta I_{skut} = \frac{L_{sim}}{L_{skut}} \cdot \Delta I_{sim} \quad (8.1)$$

Pri neregulovaní zvlnenia prúdu je skutočná amplitúda lineárne závislá od pomeru indukčností vystupujúcich v simulácii. Pri maximálnom zvlnení prúdu v $s = 0.5$ sa po linearizovaní stúpania prúdu jeho derivácia rovná:

$$\frac{dI_{skut}}{dt} = \frac{2\Delta I_{skut}}{T_{PWM}} \quad (8.2)$$

Ako bolo poukázané v kapitole 4, v teoretickej rovine je možné presne simulovať veľký rozsah indukčností. V skutočnosti je tento problém o niečo zložitejší keďže disponujeme obmedzeným výpočtovým výkonom a rýchlosťou vyčítavania z ADC prevodníkov. Navyše nám v programe vzniká "dopravné meškanie" v dôsledku predávania informácií medzi paralelnými dejmi.

Pre zjednodušenie pohľadu na danú problematiku, budeme predpokladať, že všetky paralelné deje v ovládacom zariadení sú vykonávané na rovnakej frekvencii a zároveň k ich dokončeniu dochádza v rovnaký moment (Hard RT). Typický chod informácie vyzerá nasledovne:

1. Napätie na vstupe bolo zmenené z polohy HIGH do LOW (1 cyklus)
2. Vyčítame hodnotu z ADC prevodníka (1 cyklus)
3. Zmena hodnoty sa prejaví v modele a vo výpočte riadenia (1 cyklus)
4. Reakcia regulátora na zmenu požadovanej hodnoty (1-3 cykly)

V skutočnosti teda regulačný zásah neprichádza okamžite, ale jeho chod je vystavený značnému meškaniu. V tomto čase regulátor stále produkuje zlý výstup, čo môže mať na regulovanú veličinu negatívny efekt. Pre zjednodušenie situácie nebude s negatívnym dopadom počítať. Predpokladajme situáciu, kedy bolo na výstupe z RJ zmenené napätie. Cievkou začne prúdiť prúd, ktorý má v daný moment smernicu z rovnice 8.2, pričom táto hodnota je $\frac{L_{sim}}{L_{skut}}$ krát väčšia ako hodnota v simulácii. Pri realizácii riadenia nesmie nastať stav:

$$5 \cdot \frac{dI_{skut}}{dt} T_{vypoc} \geq \Delta I_{sim} \quad (8.3)$$

Ak je táto hodnota väčšia ako zvlnenie prúdu simulovaného motora ΔI_{sim} , presná simulácia už nie je možná a dosahujeme väčšie zvlnenie prúdu. Simulácia je takisto veľmi obtiažna pokiaľ hodnota na ľavej strane rovnice dosahuje hodnoty $\frac{1}{2} \cdot \Delta I_{sim}$.

Možné zlepšenie by sa dalo uskutočniť rýchlejším počítaním modelu, pričom by bolo potrebné aj rýchlejšie snímanie vstupného napätia. Potenciálne riešenie by bolo možné aj dosiahnuť rozdielným generovaním U_{pom} , napríklad pomocou výkonového OZ, kde by bolo možné dosahovať väčšiu frekvenciu riadenia a viac spojitý priebeh napätia.

Pri minimálnej hodnote indukčnosti, akú sme schopní simulovať, neexistuje jednoznačná odpoveď a jej hodnoty vyplývajú z rovnice 8.3.

Pre lepšiu predstavu bude uvedený príklad dosiahnuteľnosti regulácie zvlnenia prúdu. Budú uvažované nasledovné parametre: $L_{\text{skut}} = 0.1mH$, $L_{\text{sim}} = 0.4mH$, $f_{\text{PWM}} = 18kHz$, $f_{\text{VYPOC}} = 250kHz$ a $U_{\text{in}} = 13V$. Dosadením do rovníc 8.3 a 8.2 dostávame:

$$5 \cdot 32.5 \times 10^3 \frac{1}{500 \times 10^3} \geq 0.22 \quad (8.4)$$

Z rovnice vyplýva $0.325 \geq 0.22$ a teda podmienka pre možnú simuláciu nebola splnená.

8.3 Simulácie s HDSG jednotkou

Finálny test vyvinutého PHIL simulátora prebiehal s reálnou RJ pripojenou k sústave zo sekcie 6.3.2. Pre spustenie sekvencie bolo potrebné simulovať signály, ale aj výkon zariadenia. Sekvencia a postupnosť signálov vychádzala zo sekcie 5.2. Celý chod simulácie bol riadený zo simulačného prostredia popísaného v kapitole 7.

Úspešnosť vhodnej HIL časti je potvrdená úspešným spustením výkonovej časti, ktorej priebeh je podobný ako bolo spomenuté v práci 2.5.4. Správnosť celého cyklu potvrdzuje aj skutočnosť, že RJ je možné naučiť novej finálnej pozícii, ktorá je potvrdená vhodným zvukovým signálom. Pri zatváracom deji je takisto v správnom momente aktivovaný priťahovač. RJ jednotka je schopná detekovať preťaženie, ktoré sa prejaví zvukovou hláškou. Pre malú informačnú názornosť výsledky signálovej časti nebudú ukázané, ale ich funkčnosť bude potvrdená výsledkami z výkonovej časti.

Finálne testovanie prebiehalo v štyroch dejoch (2 x otváracie, 2 x zatváracie), pričom sa sledovala schopnosť vhodnej simulácie prúdu predovšetkým z hľadiska strednej hodnoty. Každá sekvencia prebehla v dvoch rôznych podmienkach (zaťažené/nezaťažené).

Kompletné mechanické parametre je možné nájsť v elektronickej prílohe a vychádzajú z [24]. Elektrické parametre simulácie boli nasledovné: $R_{\text{skut}} = 0.16\Omega$, $R_{\text{sim}} = 0.6\Omega$, $L_{\text{skut}} = 0.1mH$, $L_{\text{sim}} = 0.22mH$, $c\phi = 0.075$ a $R_{\text{DS(on)}} = 0.1\Omega$.

8.3.1 Otváracia sekvencia

Testovanie otváracjej sekvencie prebiehalo v dvoch stavovoch:

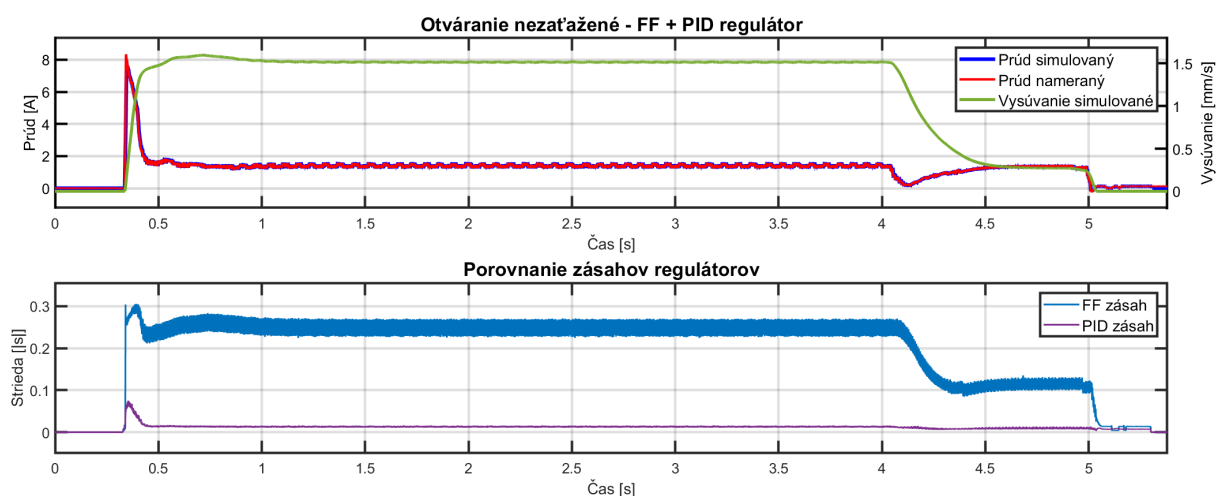
- Nezaťažené
- Záťaž - 10 kg

Pre každý stav boli zároveň použité rôzne metódy regulácie a bola sledovaná ich účinnosť. Zariadenie bohužiaľ nie je možné porovnať s hodnotou, ktorá by bola na výstupe bez regulácie, keďže RJ v takomto prípade hlási chybu a zvukovú hlášku neúspešného otvárania.

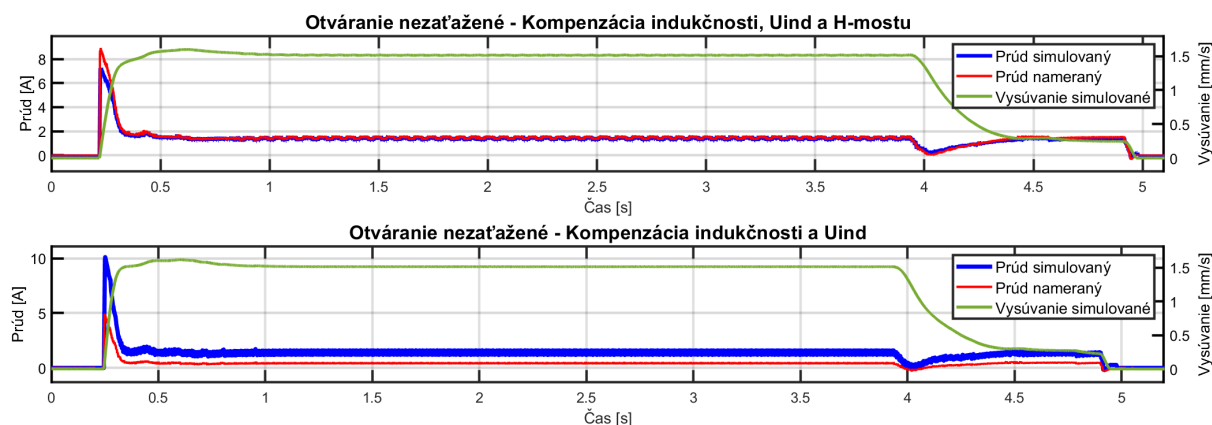
Otváracia sekvencia - nezaťažené

Obrázok 8.8 zobrazuje najlepšiu reguláciu, ktorá bola dosiahnutá kombináciou **PID** a **FF** regulátora. Obrázok sa skladá z dvoch častí, pričom na spodnom obrázku je zobrazená stredná hodnota veľkosti zásahov regulátorov prepočítaná na striedu. Ako je možné pozorovať, **PID** regulátor nehrá veľkú úlohu v regulácii a slúži hlavne ako doplnok pre dorovnanie nesymetrickostí.

Ostatné typy regulácií zobrazuje obrázok 8.9. S presnou simuláciou si celkom dobre poradil samotný **FF** (kompenzácia indukčnosti, H-mostu a U_{ind}), bohužiaľ iba kompenzácia Indukčnosti a U_{ind} sa ukázala ako nedostatočná a výsledný prúd sa značne líšil od predpokladaného. Ako bolo poukázané v sekcii 5.3, po dosiahnutí žiadanej rýchlosti si RJ udržiava konštantnú rýchlosť.



Obrázok 8.8: Otváracia sekvencia pri použití FF + PID - Nezaťažené

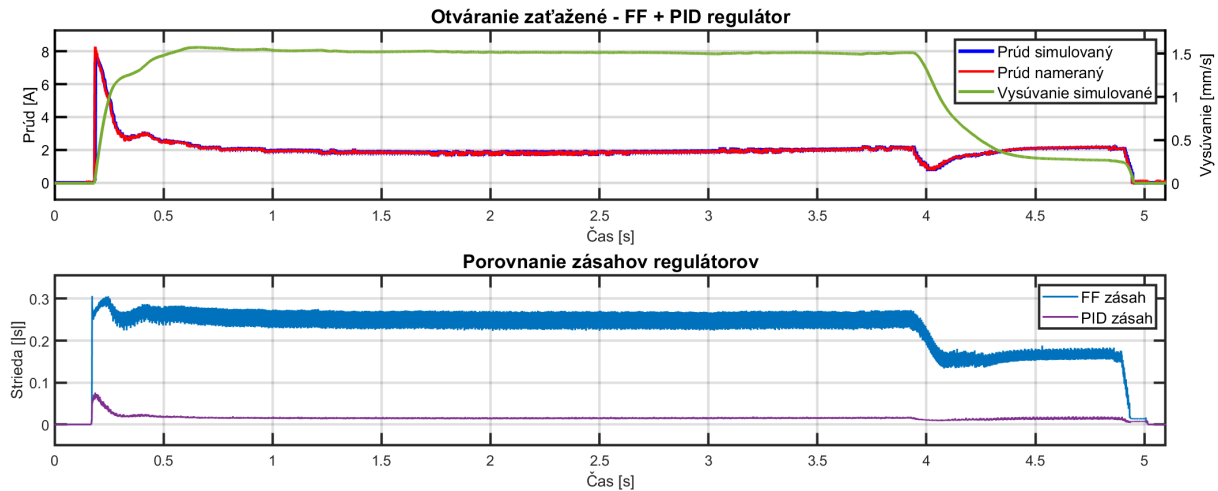


Obrázok 8.9: Otváracia sekvencie pri ostatných typoch riadenia - Nezaťažené

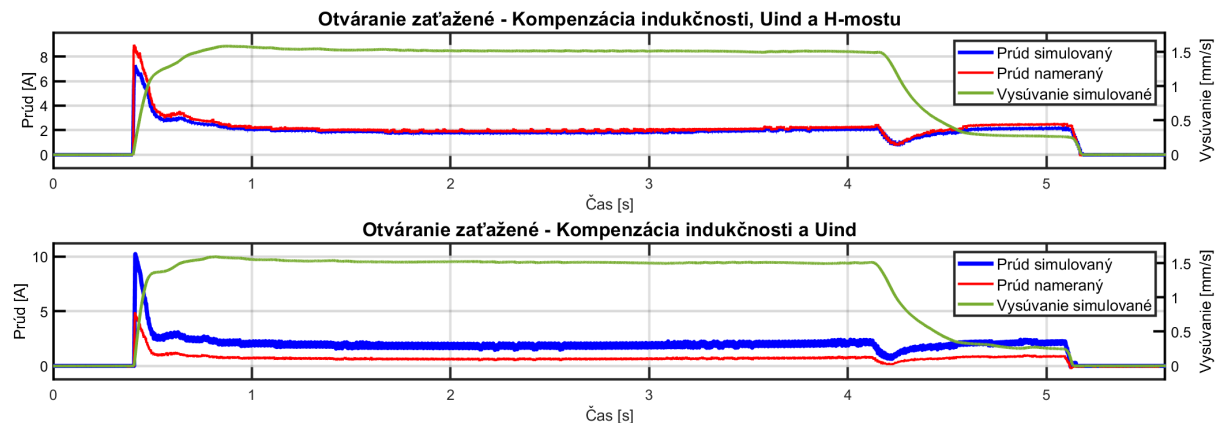
Otváracia sekvencia - zaťažené

Virtuálne zaťaženie zadných dverí prinieslo očakavý efekt v podobe zvýšenia ustálenej hodnoty prúdu o približne **0.6A**. Obrázok 8.10 opäť ukazuje najlepší typ regulácie, ktorý vznikol spojným **FF** a **PID** regulátora. O väčšinu regulácie sa znova stará **FF** regulátor a **PID** iba

kompenzuje menšie odchýlky, ktoré môžu vzniknúť na základe nedostatočného vzorkovania vstupného napätia. Výsledky sú vo všeobecnosti veľmi podobné tým z nezaťaženeho stavu.



Obrázok 8.10: Otváracia sekvencia pri použití FF + PID - Zaťaženie



Obrázok 8.11: Otváracie sekvencie pri ostatných typoch riadenia - Zaťaženie

8.3.2 Zatváracia sekvencia

Testovanie zatváracie sekvencie prebiehalo rovnako ako pri otvárací v dvoch stavoch:

- Nezaťažené
- Závaž - 10 kg

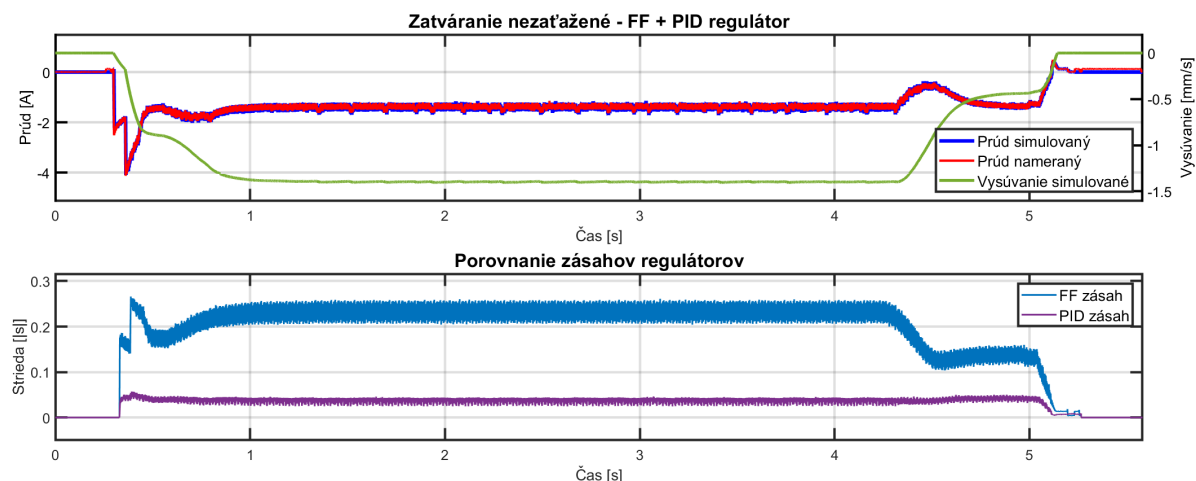
Rovnako ako v predchádzajúcom prípade, aj tentokrát boli odskúšané rozdielne typy regulácií s tým rozdielom, že záťaž nepôsobila proti smeru pohybu, teda prispievala k zníženiu prúdu obvodom.

Zatváracia sekvencia - nezaťažené

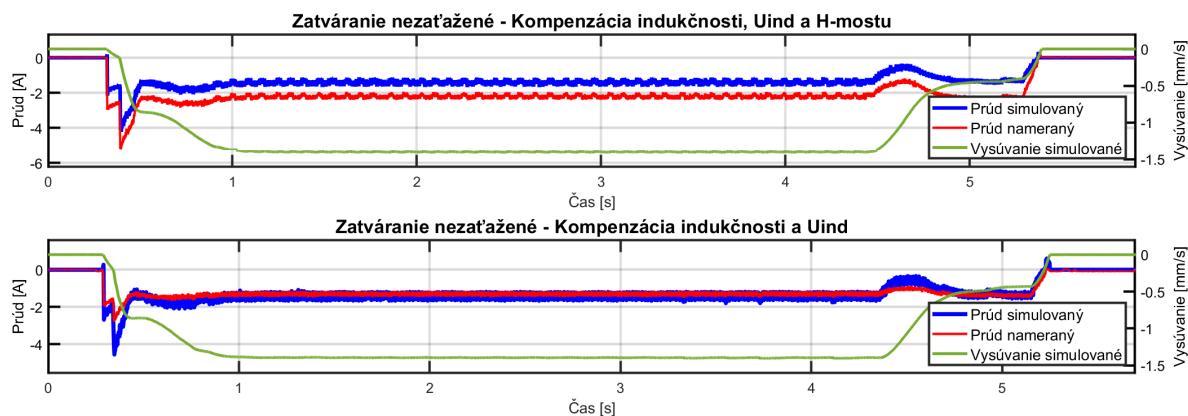
Nezaťažený stav dokázala najlepšie vyregulovať kombinácia **PID** + **FF**. Výsledok tejto re-

gulácie je zobrazený na obrázku 8.12. Ako je možné pozorovať, príspevok od **PID** regulátora sa značne zvýšil oproti podobnému stavu z otváracíj sekvencie. Toto môže byť zapríčinené nepresnosťami v modeli, ako aj jemne nesymetrickým napätím, ktoré môže vznikať na výstupe z H-mosta z dôvodu neskorej reakcie na zmenu DIR signálu.

Ostatné typy regulácie zobrazuje obrázok 8.13. Tentokrát sa ukazuje ako lepšia regulácia čisto za kompenzácie Indučnosti a U_{ind} , pričom sa neberie do úvahy kompenzácia H-mosta. Tento výsledok je značne rozporuplný a je spôsobený pravdepodobne náhodnou zhodou parametrov a regulácie. Kompletná **FF** regulácia prílišne zvyšuje skutočnú hodnotu prúdu.



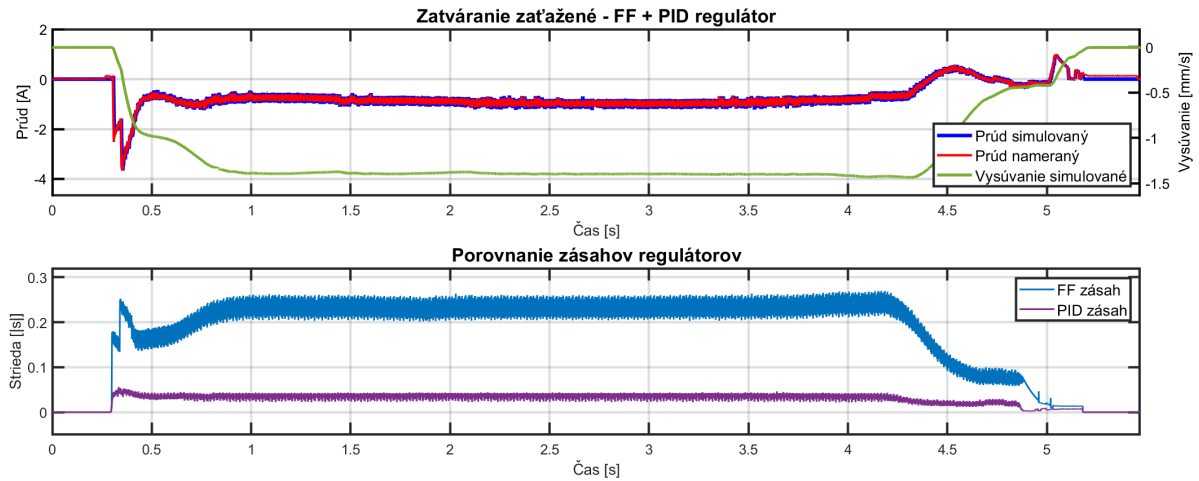
Obrázok 8.12: Zatváracia sekvencia pri použití FF + PID - Nezaťažené



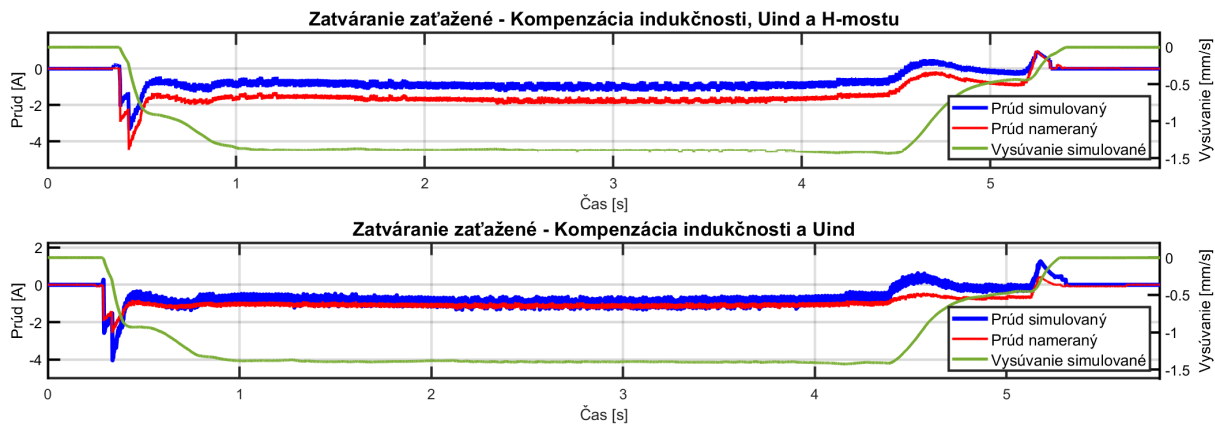
Obrázok 8.13: Zatváracia sekvencie pri ostatných typoch riadenia - Nezaťažené

Zatváracia sekvencia - zaťažené

Poslednou testovacou časťou bola zatváracia sekvencia pri zaťaženom stave. Výsledky sú vo všetkých častiach zhodné s nezaťaženým stavom. Napriek zlej regulácii pomocou samotného **FF**, sekvencia prebehla úspešne a RJ pri zatváraní nezahlásila chybu. Pri regulovaní pomocou **FF+PID** (obrázok 8.14) je zložka **PID** regulátora opäť značne veľká.



Obrázok 8.14: Zatváracia sekvencia pri použití FF + PID - Zaťažené



Obrázok 8.15: Zatváracia sekvencie pri ostatných typoch riadenia - Zaťažené

8.3.3 Porovnanie regulácií

Porovnanie regulácií je vykonané pomocou RMS z rozdielu nameranej a simulovanej hodnoty. Rozdiel medzi strednou a skutočnou hodnotou vyplýva zo spôsobu výpočtu rozdielu. Skutočná značí výpočet z reálnych hodnôt, ktoré neprešli úpravou a Stredná je počítaná z rozdielu stredných hodnôt.

Typ regulácie	Zaťažené		Nezaťažené	
	Skutočná [A]	Stredná [A]	Skutočná [A]	Stredná [A]
FeedForward + PID	0.352	0.148	0.287	0.139
Kompenzácia U_{ind} , L a H-most	0.4749	0.287	0.3906	0.216
Kompenzácia U_{ind} a L	1.2543	1.231	1.041	0.992

Tabuľka 8.2: RMS regulácií pri otváraní

Typ regulácie	Zaťažené		Nezaťažené	
	Skutočná [A]	Stredná [A]	Skutočná [A]	Stredná [A]
FeedForward + PID	0.333	0.105	0.329	0.102
Kompenzácia U_{ind} , L a H-most	0.802	0.707	0.925	0.789
Kompenzácia U_{ind} a L	0.491	0.343	0.366	0.197

Tabuľka 8.3: RMS regulácií pri zatváraní

Ako nám vychádzalo zo sekcií 8.3.2 a 8.3.1, so simuláciou si najlepšie poradil **FF + PID** regulátor. Pri strednej hodnote sa RMS pohybovalo do **0.15A**, čo je možné považovať za veľmi dobrú hodnotu. V skutočnosti mohla byť ešte nižšia a jej súčasnú veľkosť mohlo spôsobiť neprijatie paketu dát a následný fázový posun. Najmenej vhodná pre zatváraciu sekvenciu bola kompletná **FF** regulácia a pre otváraciu sekvenciu Regulácia čiastočným **FF** (Kompenzácia U_{ind} a L). Vo všeobecnosti sa pre použitie v praxi odporúča regulácia kombináciou **FF + PID**. Ostatné boli spracovávané len z výskumneho hľadiska. Počas dejov sa hodnoty prúdu pohybovali v rozmedzí **8A** pri rozbehu po **2A** v ustálenom stave. Ku komplexnému porovnaniu regulácii je potrebné doplniť výsledky ešte o reguláciu iba za pomoci **PID** regulátoru.

9 Záver

Táto diplomová práca sa zaoberala vývojom komplexného HIL simulátora (PHIL simulátora) pre piate dvere osobného automobilu (kufru). Cieľom práce bolo vytvoriť zariadenie, ktoré dokáže spoľahlivo testovať výkonovú a signálovú časť, pričom RJ nedetekuje prítomnosť simulovaných zariadení. Práca nadväzovala na už odovzdané diplomové práce ich integráciou a vhodným doplnením pre potreby reálnej aplikácie.

Usporiadanie práce bolo koncipované do logických, vzájomne súvisiacich celkov. Prvá časť bola venovaná rešeršiam v oblasti DC motorov, ich spôsoboch riadenia a regulácie. Rešeršná časť sa zároveň venovala problematike testovania, pričom bola cielená pre oboznámenie čitateľa s existujúcimi štýlmi testovania (MIL, SIL, PIL, HIL, PHIL) a ich vhodnosťou použitia pre jednotlivé etapy vývoja so zameraním sa na HIL a PHIL, čo umožňuje vytvorenie lepšieho obrazu na prácu. Záver rešeršnej časti mal za úlohu oboznámiť čitateľa s dostupnými riešeniami v tejto oblasti testovania a definovať približné limity, ktoré je možné dosiahnuť.

Pri návrhu systému bola ako prvá potrebná jeho dôkladná analýza podložená príslušnými simuláciami. Vytvorený simulačný model bol následne použitý pre návrh riadenia, ktoré je schopné vhodným regulačným zásahom simulovať priebeh prúdu pre teoreticky akúkoľvek indukčnú záťaž.

Samotná tvorba simulátora bola opäť rozvrhnutá do viacerých, vzájomne súvisiacich kapitol. Pre jeho správne vyhotovenie bolo ako prvé potrebné zistiť komunikačnú sekvenciu, podľa akej RJ komunikuje s obsluhujúcim hardvérom a následne určiť približný výkon celého deja pre správny a dostatočne dimenzovaný návrh elektroniky. Výkon bol určený za pomoci zaťažovacieho zariadenia, pri ktorom bolo možné overiť aj správnosť riadiacich signálov.

Vývoj elektroniky bol vypracovaný vzhľadom na čo najmenšiu komplikovanosť a bola snaha vychádzať z už hotového hardvéru, avšak nie vždy to bolo možné, keďže požiadavky pre PHIL simulátor neboli častokrát splnené. Konkrétne sa jednalo o meranie elektrických veličín, kde bolo potrebné pristúpiť k vlastnému návrhu, z dôvodu požadovanej vysokej rýchlosti snímania a dosky pre prepojenie a generovanie ovládacích signálov, kde sa jednalo o prototyp, priamo určený pre konkrétne zariadenie.

Popis vytvoreného softvéru ukončuje tvorbu simulátora. Softvér bol koncipovaný do viacerých vrstiev a bol programovaný v prostredí LabVIEW. Model DC motora bol počítaný na zariadení obsahujúcom FPGA čip (sbRIO 9636), pričom výpočtová frekvencia dosahovala 250 alebo 500 kHz. Generované PWM pre riadenie U_{ind} malo pri výslednej aplikácii frekvenciu 275 kHz pri rozlíšení $\frac{1}{400}T_{PWM}$. Frekvencia PWM mohla byť volená aj vyššia, čo by sa však negatívne odrazilo na rozlíšení, s akým by bolo generované. Charakteristiky opisujúce model piatich dverí automobilu boli vypočítavané offline a implementované pomocou Look-Up tabuliek a vychádzali z práce [24], odkiaľ boli prevzaté aj parametre aktuátora a piatich dverí. GUI je koncipované prehľadne a umožňuje zmenu veľkého počtu parametrov, vyobrazovanie dát pri rôznych frekvenciách alebo ich ukladanie.

Funkčnosť celého simulátora bola dokázaná priebehmi výkonov, ktoré zobrazuje posledná kapitola. Pre ich dosiahnutie bola potrebná správna signálová sekvencia a zároveň aj vhodné napodobenie odberu prúdu, ktorého nesprávny tvar by mohla RJ vyhodnotiť ako chybu alebo preťaženie. Simulátor bol pri RJ HDSG schopný spoľahlivo nasimulovať strednú hodnotu prúdu,

avšak hodnoty zvlnenia neboli spoľahливо dosiahnuté, z dôsledku nedostatočného dimenzovania snímania vstupného napätia a "pomalým" reakciám regulátora, ktorého frekvencia 500 kHz sa ukázala ako nedostatočná, pre aplikáciu so vstupným signálom o frekvencií 18 kHz. Ako najvhodnejší regulátor sa ukázala kombinácia **FF** + **PID**. Schopnosť realisticky sa priblížiť zvlneniu prúdu sa však ukázala ako dostatočná, pri simuláciách väčších cievok s menšou ríadiacou frekvenciou.

Simulátor nie je stavaný na veľké zaťaženie a dlhodobé (20 minút a viac) by nemal byť zaťažovaný výkonom väčším ako 100 W. Jeho zvýšenie by šlo doceliť voľbou kvalitnejších pasívnych komponentov a výkonnejším H-mostom. Krátkodobé je však schopný zvládnuť aj väčšie hodnoty.

Veľkou výhodou zariadenia je skutočnosť, že bez zásahu do jeho hardvérovej časti sme schopní spoľahливо odsimulovať veľké množstvo stavov a motorov s odlišnými elektrickými časovými konštantami. Nevýhodou je skutočnosť, že kvôli výpočtovej náročnosti úlohy sa pristúpilo k simulovaniu iba jedného aktuátora.

Ciele diplomovej práce vyplývajúce zo zadania boli splnené v plnom rozsahu. Prínos práce spočíva hlavne v preskúmaní možnosti simulácie indukčných záťaží na systéme s rozdielnou časovou konštantou, nakoľko tomuto problému sa vo vedeckej sfére doteraz venovalo len minimum pozornosti. Zároveň bol vytvorený funkčný PHIL simulátor, ktorý po vyhotovení malých softvérových modifikácií, môže byť použitý aj pre iné zariadenia.

Na prácu je v budúcnosti možné nadviazať napríklad možnou simuláciou dvoch paralelných aktuátorov, s ktorými by bola simulácia piatych dverí automobilu omnoho reálnejšia a bolo by možné navodiť stavy, ktoré pri polovičnom modeli nie sú možné (rozdielna rýchlosť vysúvania, nevývaha v zaťažení/trení). Zároveň je tu priestor pre vylepšenie súčasného softvéru o potencionálne testovacie prípady, ktoré by bolo možné vykonávať automaticky alebo vyhotovenie verzie, ktorú by bolo možné prepojiť s vyššou testovacou sústavou pre testovanie komplexnejšieho celku pozostávajúceho z viacerých RJ.

Literatúra

- [1] *An overview of linear actuator & its types*. Guest Post Website [online]. USA, California: Guest Post Web Services, 2018 [cit. 2019-05-20]. Dostupné z: <https://www.guestpostweb.com/overview-of-linear-actuator-types/>
- [2] *Basics Rotation Principles*. Nidec [online]. Japonsko, 2019 [cit. 2019-05-21]. Dostupné z: <https://www.nidec.com/en-NA/technology/motor/basic/00012/>
- [3] KOLÁČNÝ, Josef. *Elektrické mikropohony*. Brno: Fakulta elektrotechniky a komunikačních technologií VUT v Brně.
- [4] SKALICKÝ, Jiří. *Elektrické servopohony*. 2. vyd. Brno: Vysoké učení technické, 2001, 86 s. ISBN 80-214-1978-4.
- [5] PATOČKA, Miroslav. *Vybrané stati z výkonové elektroniky: Svazek II. Pulsní měniče bez vf. impulsního transformátoru*. 2. vyd. Brno: PC-DIR Real, 1998, 175 s. ISBN 80-214-1258-5.
- [6] SMUTS, Jacques. *PID Controllers Explained*. Control Notes [online]. United States: Opti-Controls, 2011 [cit. 2019-05-20]. Dostupné z: <http://blog.opticontrols.com/archives/344>
- [7] GIETELINK, Olaf, Jeroen PLOEG, Bart DE SCHUTTER a Michel VERHAEGEN. *Development of advanced driver assistance systems with vehicle hardware-in-the-loop simulations*. Vehicle System Dynamics [online]. Taylor & Francis, 2006, 44(7), 569-590 [cit. 2019-05-20]. DOI: 10.1080/00423110600563338. ISSN 0042-3114.
- [8] HU, Jiayang a Andrew r PLUMMER. *Compensator design for model-in-the-loop testing*. In: 2016 UKACC 11th International Conference on Control (CONTROL) [online]. IEEE, 2016, s. 1-6 [cit. 2019-05-20]. DOI: 10.1109/CONTROL.2016.7737633.
- [9] MATINNEJAD, R., S. NEJATI, L. BRIAND, T. BRUCKMANN a C. POULL. In: *Lecture Notes in Computer Science (including subseries Lecture Notes in Artificial Intelligence and Lecture Notes in Bioinformatics)* [online]. 2013, 8084, s. 141-157 [cit. 2019-05-20]. DOI: 10.1007/978-3-642-39742-4_12. ISBN 9783642397417. ISSN 03029743.
- [10] MINA, J, Z FLORES, E LOPEZ, A PEREZ a J.-h CALLEJA. *Processor-in-the-loop and hardware-in-the-loop simulation of electric systems based in FPGA*. In: 2016 13th International Conference on Power Electronics (CIEP) [online]. IEEE, 2016, 2016-, s. 172-177 [cit. 2019-05-20]. DOI: 10.1109/CIEP.2016.7530751.
- [11] SARIKAN, Alper a M timur AYDEMIR. *Real time digital simulation (RTDS) software and hardware in the loop (HIL) architecture for brushless DC motors*. In: Melecon 2010 - 2010 15th IEEE Mediterranean Electrotechnical Conference [online]. IEEE, 2010, s. 779-783 [cit. 2019-05-20]. DOI: 10.1109/MELCON.2010.5475971. ISBN 9781424457939.

- [12] *PHIL Simulation with a PV Inverter using the RTDS Simulator* [online]. Kanada: RTDS Technologies [cit. 2019-05-20]. Dostupné z: <https://www.rtds.com/applications/phil/>
- [13] OPAL-RT. OPAL-RT TECHNOLOGIES [online]. Kanada: OPAL-RT [cit. 2019-05-20]. Dostupné z: <https://www.opal-rt.com>
- [14] OP4200. OPAL-RT TECHNOLOGIES [online]. Kanada: OPAL-RT [cit. 2019-05-20]. Dostupné z: <https://www.opal-rt.com/op4200/>
- [15] OP1300. OPAL-RT TECHNOLOGIES [online]. Kanada: OPAL-RT [cit. 2019-05-20]. Dostupné z: <https://www.opal-rt.com/power-electronics-test-bench/>
- [16] HYPERSIM [online]. Kanada: OPAL-RT Technologies [cit. 2019-05-20]. Dostupné z: https://www.opal-rt.com/wp-content/themes/enfold-opal/pdf/L00161_0308.pdf
- [17] dSPACE. dSPACE GmbH [online]. Nemecko: OPAL-RT [cit. 2019-05-20]. Dostupné z: <https://www.dspace.com>
- [18] SCALEXIO [online]. Nemecko: dSPACE, 2019 [cit. 2019-05-20]. Dostupné z: https://www.dspace.com/shared/data/pdf/2019/dSPACE_SCALEXIO_Product-information_01-2019_English1.pdf
- [19] *Hardware-in-the-Loop (HIL) Test System Architectures*. NATIONAL INSTRUMENTS [online]. United States: NATIONAL INSTRUMENTS, 2019 [cit. 2019-05-20]. Dostupné z: <http://www.ni.com/cs-cz/innovations/white-papers/09/hardware-in-the-loop-hil-test-system-architectures.html>
- [20] NATIONAL INSTRUMENTS [online]. United States: NATIONAL INSTRUMENTS, 2019 [cit. 2019-05-20]. Dostupné z: <http://www.ni.com>
- [21] BRACKER, J a M DOLLE. *Simulation of Inductive Loads*. In: 2007 IEEE International Symposium on Industrial Electronics [online]. IEEE, 2007, s. 461-466 [cit. 2019-05-20]. DOI: 10.1109/ISIE.2007.4374641. ISBN 9781424407545.
- [22] CUI, Haotian, Jiaqun XU a Meili XING. *Power-hardware-in-the-loop simulator for brushless DC motor*. In: IECON 2017 - 43rd Annual Conference of the IEEE Industrial Electronics Society [online]. IEEE, 2017, 2017-, s. 2121-2126 [cit. 2019-05-20]. DOI: 10.1109/IECON.2017.8216356.
- [23] CHALUPA, Jan. *Návrh zařízení pro Power HIL simulaci stejnosměrného motoru*. Vysoké učení technické v Brně. Fakulta strojního inženýrství, 2014.
- [24] MUSIL, Filip. *Modelování a HIL simulace ovládání pátých dveří osobního automobilu*. Vysoké učení technické v Brně. Fakulta strojního inženýrství, 2017.
- [25] *Multiplier circuit measures real power in high-frequency PWMs*. EE Times [online]. Electronic Engineering Times, 2005 [cit. 2019-05-20]. Dostupné z: https://www.eetimes.com/document.asp?doc_id=1272272
- [26] CKSR 6-NP. Farnell [online]. 2019 [cit. 2019-05-20]. Dostupné z: <https://cz.farnell.com/lem/cksr-6-np/current-transducer-6a-5v/dp/2146828>

Zoznam použitých skratiek

DC	Dricet Current - (Jednosmerný prúd)
PID regulátor	Proporiconálne-inetgračno-derivačný regulátor
FF regulátor	Dopredný regulátor
RJ	Riadiaca jednotka
RJ HDSG	Riadiaca jednotka piatych dverí automobilu
IL	In-the-Loop - (v cykle)
MIL	Model-in-the-Loop - (Model v cykle)
SIL	Software-in-the-Loop - (Softvér v cykle)
PIL	Procesor-in-the-Loop - (Procesor v cykle)
PIL	Hardware-in-the-Loop - (Hardvérr v cykle)
PHIL	Power Hardware-in-the-Loop - (Vykonový hardvér v cykle)
RCP	Rapid Control Prototyping - (Rýchly vývoj prototypu riadnia)
RT	Real-Time - (Reálny čas)
DAC	Digital Analog Converter - (Digitálne analógový prevodník)
ADC	Analog Digital Converter - (Analógovo digitálny prevodník)
DIO	Digital Input/Output - (Digitálny vstup/výstup)
FPGA	Field Programmable Gate Array - (Programovateľné hradlové pole)
CPU	Central Processing Unit - (Centrálna procesorová jednotka)
NI	National Instruments
BLDC Motor	Brushless DC Electric Motor - (Bezuhlíkový DC motor)
OZ	Operačný Zosilňovač
GUI	Graphical User Interface - (Grafické používateľské rozhranie)
DP	Diplomová Práca
DPS	Doska Plošných Spojov
SPI	Serial Peripheral Interface - (Sériové periferné rozhranie)

CAN Controller Area Network

IC Integrated Circuit - (Integrovaný obvod)

CS Chip Select - (Výber obvodu)

MOSI Master Out Slave In

PWM Pulse Width Modulation - (Impulzová šírková modulácia)

RMS Root Mean Square - (Efektívna Hodnota)

DIR Direction - (Smer/Polarita)

FIFO First In - First Out - (Prvý dnu - Prvý von)

DMA Direct Memory Access - (Priamý prístup k pamäti)

Zoznam použitých symbolov

SmCo	Samárium-Kobalt
NdFeB	Neodým-Železo-Bór
R_a	Odpor vinutia
L_a	Indukčnosť vinutia
U_{ind}	Indukované napätie
J	Moment zotrvačnosti
$c\phi$	Motorová konštanta
$i\omega$	Uhlová rýchlosť
s	Strieda
ΔI_{max}	Maximálne zvlnenie prúdu
f	Frekvencia
T	Periódá
U_{pom}	Pomocné generované napätie
n_{PWM}	Počet kontrolných cyklov generovaného PWM
PWM_{res}	Rozlíšenie PWM signálu
$R_{DS(on)}$	Odpor tranzistoru H-mostu

Zoznam obrázkov

2.1	Konštrukcia DC motora [1]	10
2.2	Princíp DC motora [2]	11
2.3	Schéma DC motora [3]	11
2.4	Jednokvadrantový impulzný menič [5]	12
2.5	Dvojkvadrantový impulzný menič [5]	13
2.6	Štvorkvadrantový impulzný menič [5]	13
2.7	Rozdiely v unipolárnom a bipolárnom riadení [4]	14
2.8	Štruktúra PID regulátora [6]	15
2.9	Štruktúra Feedforward regulátora	16
2.10	V diagram pre automobilový priemysel [7]	16
2.11	Diagram MIL simulácie	17
2.12	Diagram SIL simulácie	18
2.13	Diagram PIL simulácie	18
2.14	Diagram HIL simulácie	19
2.15	Diagram PHIL simulácie	20
2.16	OPAL-RT produkty [13]	21
2.17	SCALEXIO produkty [18]	22
2.18	NI - HIL system [19]	23
2.19	Simulation of Inductive loads - použité topológie [21]	24
2.20	PHIL Simulator for BLDC - použité topológie [22]	25
4.1	Základná schéma sústavy	27
4.2	Náhradný obvod sústavy	28
4.3	Schéma simulácie pre overenie princípu riadenia	29
4.4	Výsledky simulácie - Predpokladaný vs simulovaný prúd/otáčky	29
4.5	Detail zvlnenia prúdu	29
4.6	Schéma sústavy s FeedForward reguláciou	30
4.7	Výsledky simulácie na modeli - Predpokladaný vs simulovaný prúd/otáčky	31
4.8	Výsledky simulácie na modeli - Detail zvlnenia prúdu	31
4.9	Výsledky simulácie na modeli (Kompenzácia H-mostu) - Predpokladaný vs simulovaný prúd/otáčky	32
4.10	Výsledky simulácie na modeli (Kompenzácia H-mostu) - Detail zvlnenia prúdu	32
4.11	Výsledky simulácie na modeli (s PID) - Predpokladaný vs simulovaný prúd/otáčky	33
4.12	Výsledky simulácie na modeli (s PID) - Detail zvlnenia prúdu	33
5.1	Komunikačná schéma riadiacej jednotky	35
5.2	Sekvencia otvárania - Signály	36
5.3	Sekvencia zatvárania - Signály	36
5.4	Sústava pre zaťažovanie	37
5.5	Sekvencia otvárania - Výkony	38

5.6	Sekvencia zatvárania - Výkony	38
5.7	Kontrolné signály	39
6.1	sbRIO 9636	41
6.2	H-most pre generovanie indukovaného napätia	42
6.3	Pohlčovač energie	42
6.4	Schéma obvodu pre meranie napätia [25]	43
6.5	LEM CKSR-6NP [26]	43
6.6	Meracia doska - layout	44
6.7	Signálová doska - testovacia verzia	45
6.8	Obvod otvoreného kolektoru	45
6.9	Obvod spoločného kolektoru	46
6.10	Signálová doska - layout	46
6.11	Testovacia sústava - schéma	47
6.12	Finálna sústava - schéma	48
7.1	Architektúra programu	50
7.2	Program kontrolnej sekvencie	52
7.3	Program generovania indukovaného napätia	53
7.4	Program pre SPI komunikáciu	53
7.5	Prijímač príkazov z PC	55
7.6	Obsluha sbRIO	56
7.7	Event Structure pre obsluhu UI	57
7.8	Obsluha programu	57
7.9	Grafické rozhranie	58
7.10	Zobrazenie prijatých dát	59
7.11	Nastaviteľné parametre programu	59
8.1	Zvlnenie prúdu bez regulácie	61
8.2	Zvlnenie prúdu za použitia FF regulácie	61
8.3	Zvlnenie prúdu za použitia FF + PID regulácie	61
8.4	Zvlnenie prúdu pri frekvenciách 5 kHz - 2 mH	62
8.5	Zvlnenie prúdu pri frekvenciách 5 kHz - 3 mH	63
8.6	Zvlnenie prúdu pri frekvenciách 10 kHz - 2 mH	63
8.7	Zvlnenie prúdu pri frekvenciách 10 kHz - 3 mH	63
8.8	Otváracia sekvencia pri použití FF + PID - Nezaťažené	66
8.9	Otváracia sekvencie pri ostatných typoch riadenia - Nezaťažené	66
8.10	Otváracia sekvencia pri použití FF + PID - Zaťažené	67
8.11	Otváracia sekvencie pri ostatných typoch riadenia - Zaťažené	67
8.12	Zatváracia sekvencia pri použití FF + PID - Nezaťažené	68
8.13	Zatváracia sekvencie pri ostatných typoch riadenia - Nezaťažené	68
8.14	Zatváracia sekvencia pri použití FF + PID - Zaťažené	69
8.15	Zatváracia sekvencie pri ostatných typoch riadenia - Zaťažené	69
9.1	Schéma meracej dosky - snímanie elektrických veličín	82
9.2	Schéma meracej dosky - Galvanické oddelenie a napájanie	83
9.3	Schéma signálovej dosky	84
9.4	Zostava simulátora s externým H-mostom	85
9.5	Finálna zostava PHIL simulátora	86

Zoznam tabuliek

6.1	Parametre Spartan-6 LX45	41
7.1	Využitie pamäte FPGA čipu	54
7.2	Časovanie FPGA čipu	54
8.1	RMS regulácií pri RL článku	62
8.2	RMS regulácií pri otváraní	69
8.3	RMS regulácií pri zatváraní	70

Prílohy

A Elektronické prílohy

Táto práca obsahuje nasledovné elektronické prílohy:

- **01_Finalna_Aplikacia**

Finálna aplikácia pre ovládanie a riadenie simulátora obsahujúca GUI a program pre sbRIO.

- **02_Simulink_Modely**

Tento priečinok obsahuje modely, s ktorými bolo pracované počas návrhu riadenia v kapitole 4.

- **03_Navrh_Elektroniky**

Priečinok obsahuje schémy a plošné spoje navrhnutéj elektroniky. Konkrétne ide o Meraciu dosku a Signálovú dosku.

- **04_Fotky**

Niekoľko fotiek, ktoré vznikli počas vývoja práce.

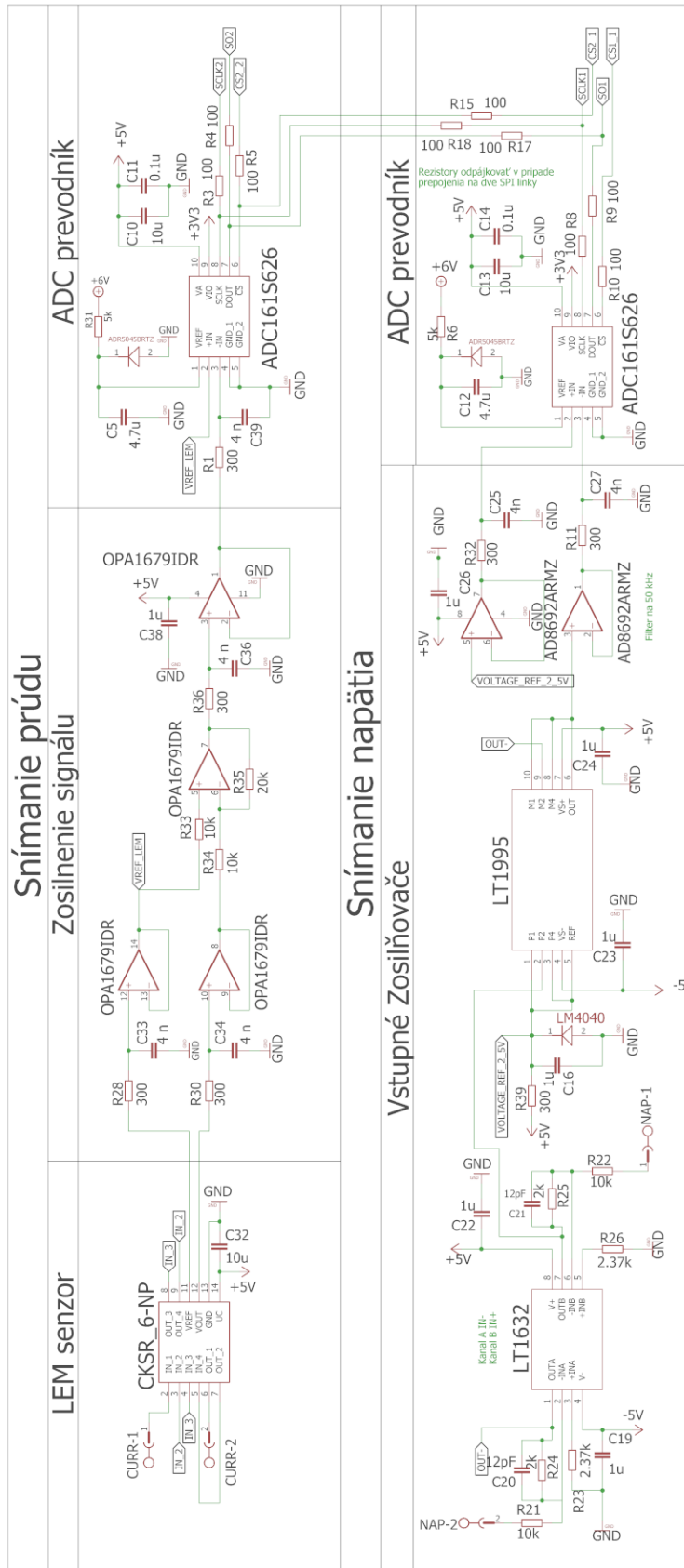
- **05_Master_Thesis.pdf**

Diplomová práca vo formáte .pdf.

B Schémy a fotografie

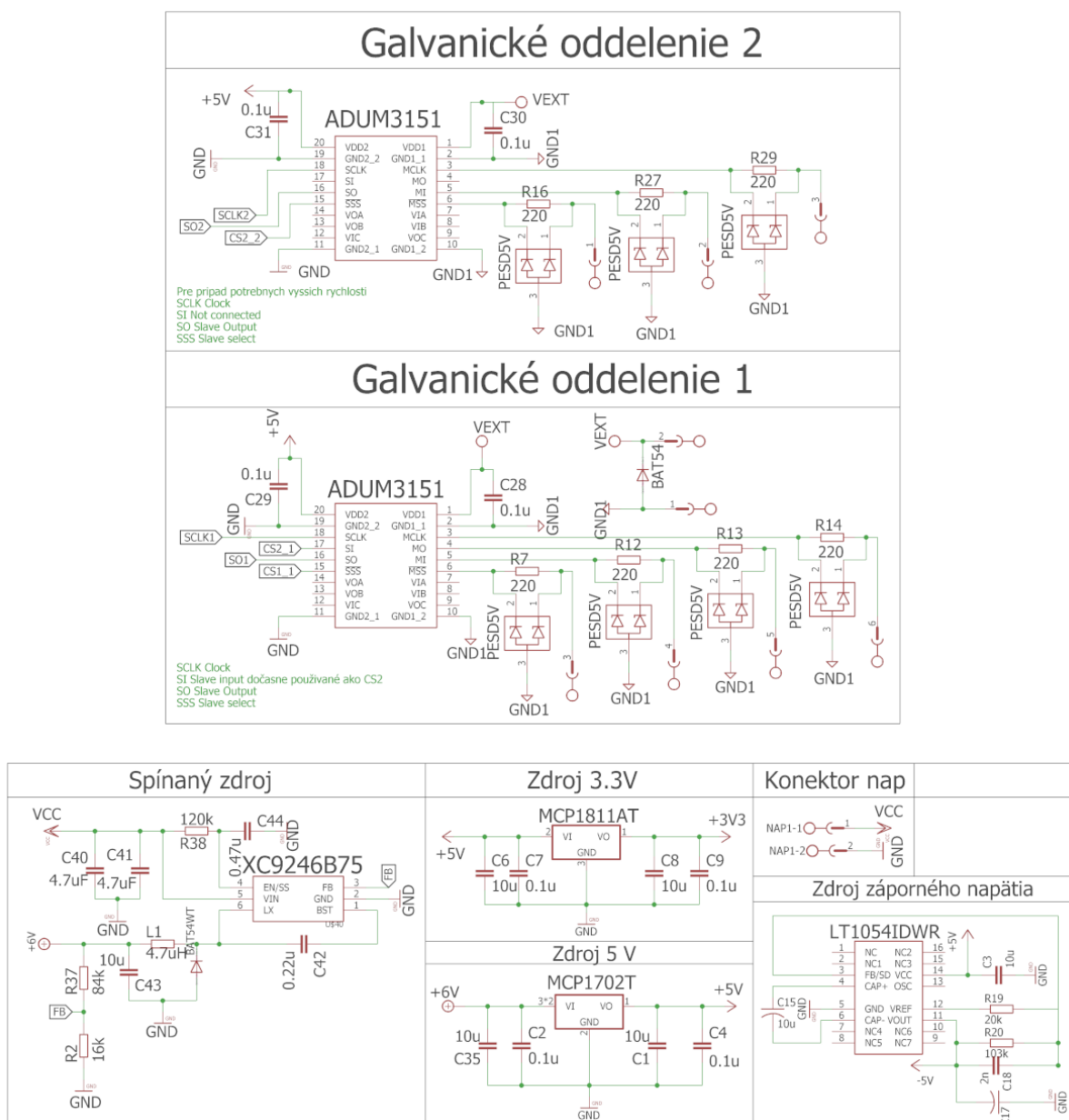
Nasledujúca časť obsahuje schémy a fotografie súčastí popisovaných v diplomovej práci.

I. Schéma meracej dosky: Snímanie elektrických veličín



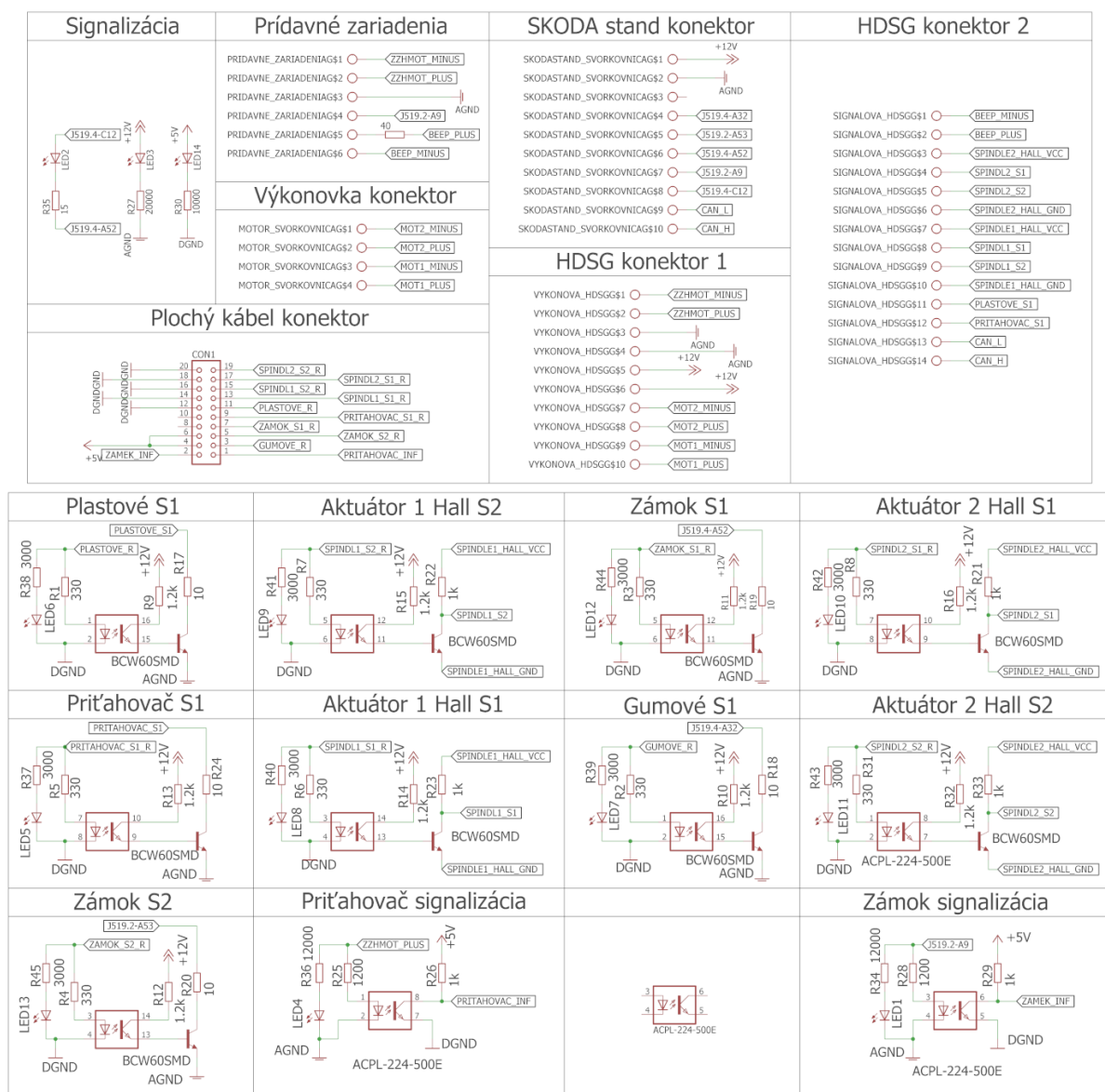
Obrázok 9.1: Schéma meracej dosky - snímanie elektrických veličín

II. Schéma meracej dosky: Galvanické oddelenie a napájanie



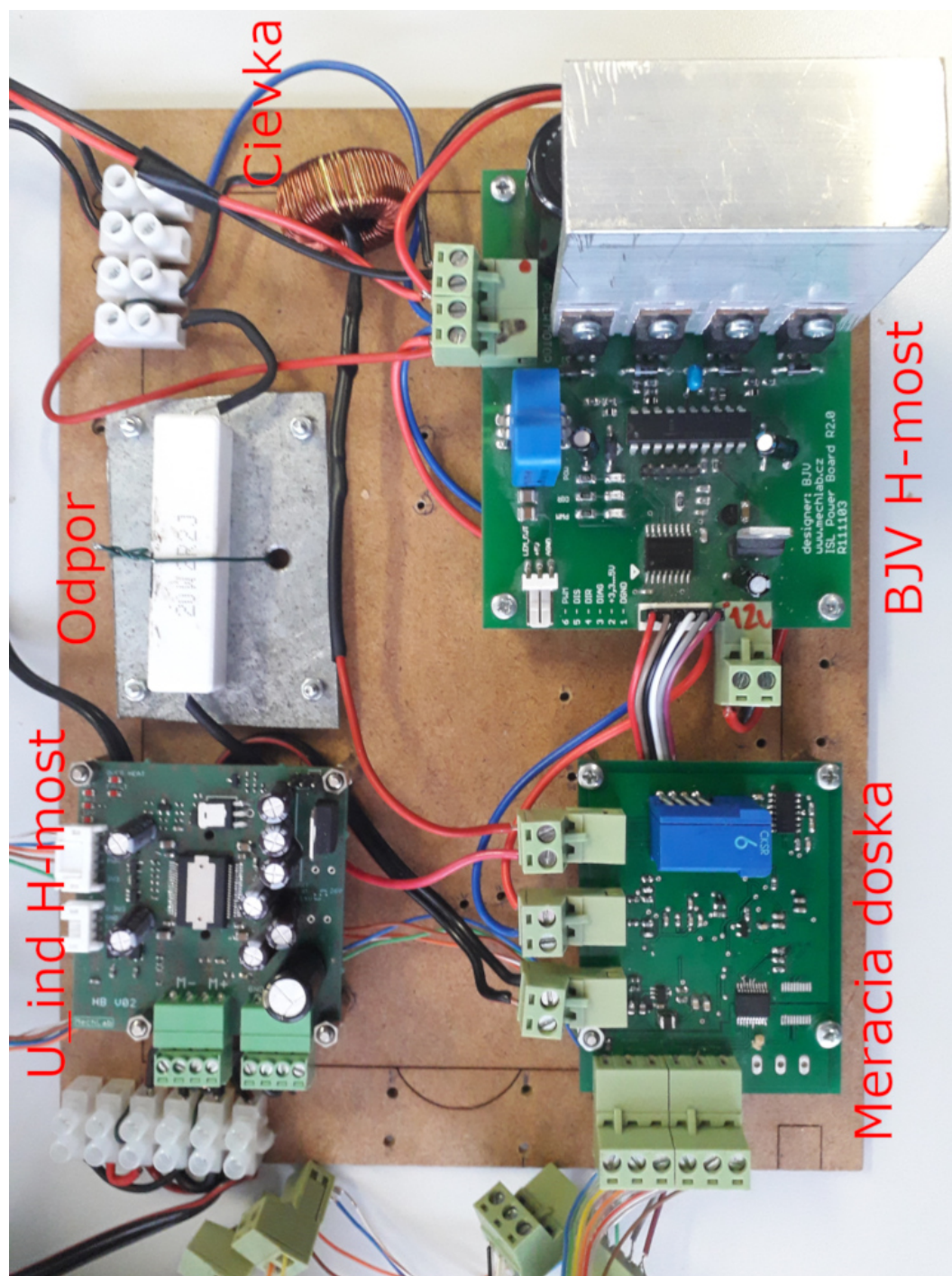
Obrázok 9.2: Schéma meracej dosky - Galvanické oddelenie a napájanie

III. Schéma signálovej dosky: Kompletná schéma



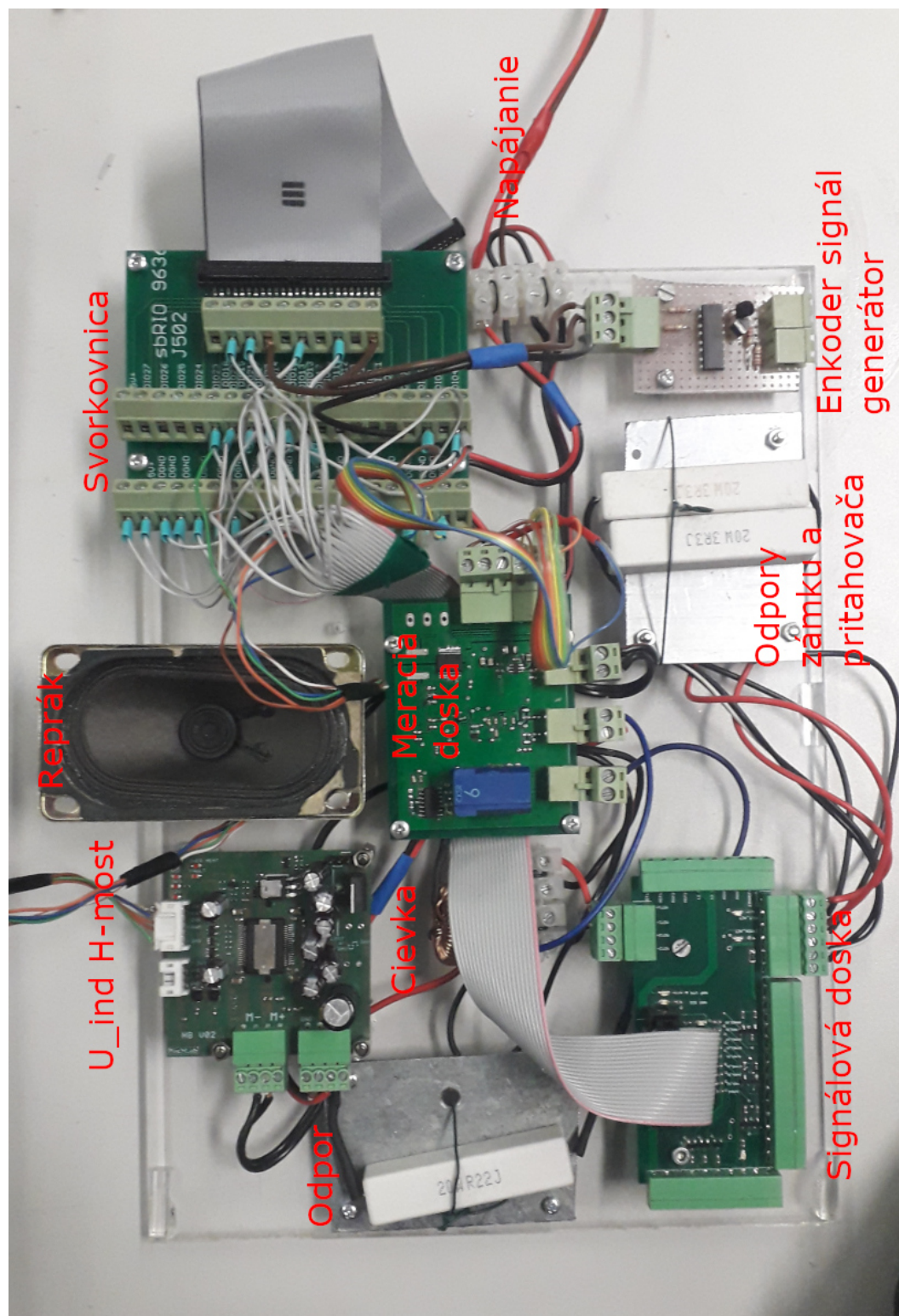
Obrázok 9.3: Schéma signálovej dosky

IV. Zostava simulátora: Zostava s externým H-mostom



Obrázok 9.4: Zostava simulátora s externým H-mostom

V. Zostava simulátora: **Finálna zostava PHIL simulátora**



Obrázok 9.5: Finálna zostava PHIL simulátora